

FCM32F072x8/xB 规格书

Ver 0.12

适用型号	适用芯片版本	说明
F072C8	B	
F072CB		
F072R8		
F072RB		

ARM®-based 32-bit MCU, up to 128KB Flash, 16KB SRAM, USB 2.0 FS Device, bxCAN, 9 timers, ADC/COMP/DAC & comm. interfaces, 1.8-5.5V

特点

- ARM® 32 位 Cortex-M0 CPU, 最高频率 72 MHz
- 存储
 - ◇ 64/128 KB FLASH 存储器
 - ◇ FLASH 工作速度为 24MHz, 可按此设置等待周期
 - ◇ 16KB SRAM
- CRC 计算单元
- **HAU 计算单元, 支持硬件整数除法及开方运算**
- **PLib (Private Library, 私有库) 确保重要代码不被读出**
- 复位和电源管理
 - ◇ 数字和 I/O 供电: $V_{DD} = 1.8 - 5.5V$
 - ◇ 模拟供电: $V_{DDA} = 1.8 - 5.5V$
 - ◇ 可选 I/O 供电: $V_{DDIO2} = 1.8 - 5.5V$
 - ◇ 上电/掉电 (POR/PDR) 复位
 - ◇ 可编程电压检测 (PVD)
 - ◇ 低功耗模式: 睡眠、停止、待机
- 时钟管理
 - ◇ 4-24 MHz 高频晶体振荡器
 - ◇ 32 KHz 低频振荡器用于带校准的 RTC
 - ◇ 带自动校准功能的 48MHz RC 振荡器, 并 6 分频得到 8MHz
 - ◇ 内部 40 KHz RC 振荡器
 - ◇ PLL 用于 CPU 时钟
- 最多 56 个快速 I/O
 - ◇ 全部可映射至外部中断向量
 - ◇ 可 5V 输出 ($V_{DD}=5V$)
 - ◇ 除 ADC 共用引脚外, 可在 3V 供电时容忍外部 5V 电平
 - ◇ 14 个支持通过 V_{DDIO2} 独立供电
 - ◇ USB DP、DM 由 VDD 供电
- 1 个 DMA 控制器, 共 7 通道
- 1 个 12 位、1us ADC (最多 16 通道)
 - ◇ 转换范围: 0-5.5 V
 - ◇ 温度传感器
- 2 个模拟比较器
- 2 通道 12 位 DAC
- 最多 18 通道电容触摸
- 日历 RTC, 支持从 Stop/Standby 闹钟和周期性唤醒
- 12 个定时器
 - ◇ 1 个 16 位先进定时器, 带死区和刹车功能的马达控制 PWM
 - ◇ 1 个 32 位和 7 个 16 位定时器, 最多至 4 输入 IC/OC/OCN, 支持正交编码输入
 - ◇ **PWM 支持 $PLLCLK*2$ 的输入时钟**
 - ◇ 独立看门狗和系统看门狗定时器

- ◇ SysTick 定时器
- 通讯接口
 - ◇ 2 个 I²C 接口，支持 FMP (1Mbit/s)，20mA 灌电流，SMBus/PMBus 和唤醒
 - ◇ 最多 4 个 U(S)ART，支持主同步 SPI 和 modem 控制；3 个带 ISO7816 接口、LIN、IrDA、自动波特率检测和唤醒功能
 - ◇ 2 个 SPI (36 Mbit/s)，支持 4-16 位数据帧，带 I²S 接口
 - ◇ SPI2 支持全双工 I2S，由 I2S2 和 I2S2EXT 组合
 - ◇ 1 个 bxCAN 接口
 - ◇ USB 2.0 全速 Device 接口。Device 可从内部 48MHz 振荡器运行 (免晶振)，支持 BCD 和 LPM
 - ◇ LED 灯条控制接口 LLSI，支持 7 通道
- HDMI CEC，支持唤醒功能
- 调试模式
 - ◇ 2 线串行调试 (SWD)
- 96 位唯一 ID
- 封装
 - ◇ LQFP48
 - ◇ UQFPN48
 - ◇ LQFP64
 - ◇ UQFPN64
 - ◇ UQFPN68

目录

1	简介.....	6
2	描述.....	7
3	功能概述.....	10
3.1	ARM® Cortex-M0 内核.....	10
3.2	存储.....	10
3.3	Boot 模式.....	10
3.4	CRC & HAU.....	10
3.5	电源管理.....	11
3.5.1	电源供电.....	11
3.5.2	电源监测.....	11
3.5.3	稳压器.....	11
3.5.4	低功耗模式.....	11
3.6	时钟.....	12
3.7	通用 I/O (GPIO).....	13
3.8	直接存储器访问控制器 (DMA).....	13
3.9	中断和事件.....	14
3.9.1	嵌套向量中断控制器 (NVIC).....	14
3.9.2	扩展的中断/事件控制器 (EXTI).....	14
3.9.3	中断向量.....	14
3.10	模拟数字转换器 (ADC).....	16
3.10.1	温度传感器 (TS).....	16
3.10.2	内部电压基准 (VREFINT).....	16
3.10.3	VBAT 电池电压监测.....	16
3.11	数字模拟转换器 (DAC).....	16
3.12	比较器 (COMP).....	17
3.13	电容触摸控制器 (TSC).....	17
3.14	定时器和看门狗.....	17
3.14.1	先进定时器 TIM1.....	18
3.14.2	通用定时器 TIM2/3/14/15/16/17.....	18
3.14.3	基本定时器 TIM6/TIM7.....	19
3.14.4	独立看门狗 IWDG.....	19
3.14.5	系统窗口看门狗 WWDG.....	19
3.14.6	SysTick 定时器.....	19
3.15	实时时钟 (RTC) 和备份寄存器.....	19
3.16	内部集成电路接口 (I ² C).....	20
3.17	通用同步异步收发器 (USART).....	20
3.18	串行外设接口 (SPI/I ² S).....	21
3.19	HDMI-CEC.....	22
3.20	基本局域网控制器 (bxCAN).....	22
3.21	USB 设备接口 (USB).....	22
3.22	LED 灯条控制接口 (LLSI).....	23
3.23	时钟恢复系统 (CRS).....	23
3.24	私有库 (PLib).....	23

3.25	串行/JTAG 调试器 (SWJ-DP)	23
4	引脚信息	24
5	存储器映射	35
6	电气特性	37
6.1	参数条件	37
6.1.1	最小/最大值	37
6.1.2	典型值	37
6.1.3	典型曲线	37
6.1.4	负载电容	37
6.1.5	引脚输入电压	38
6.1.6	电源供电	38
6.1.7	电流消耗测量	38
6.2	绝对最大值	38
6.3	工作条件	39
6.3.1	普通工作条件	39
6.3.2	上电/下电工作条件	39
6.3.3	内置复位/电源控制	39
6.3.4	内置参考电压	40
6.3.5	供电电流	40
6.3.6	低功耗模式唤醒时间	41
6.3.7	外部时钟源	41
6.3.8	内部时钟源特性	42
6.3.9	PLL 特性	42
6.3.10	存储特性	43
6.3.11	EMC 特性	43
6.3.12	电气敏感特性	43
6.3.13	I/O 电流注入特性	44
6.3.14	I/O 端口特性	44
6.3.15	NRST 引脚特性	45
6.3.16	ADC 特性	46
6.3.17	DAC 特性	47
6.3.18	COMP 特性	48
6.3.19	温度传感器特性	49
7	封装信息	50
7.1	LQFP48 封装信息	50
7.2	UFQFPN48 封装信息	52
7.3	LQFP64 封装信息	54
8	器件编码	56
9	版本历史	57
10	其它	58

1 简介

本规格书提供 FCM32F072 的订购信息及器件电气特性。

有关 ARM® Cortex-M0 核的信息，请参考 www.arm.com 网站上的 Cortex-M0 Technical Reference Manual。



2 描述

FCM32F072 单片机包含可以工作在 72 MHz 的 32 位高性能 ARM Cortex-M0 RISC 核，高速内嵌存储（最多 128 Kbytes FLASH 和 16 Kbytes SRAM），丰富的高性能外设和 I/O。不同型号提供标准通信接口（I²C、SPI/I²S、USART、HDMI-CEC）、USB 全速从设备（免晶振）、bxCAN、12-bit ADC、7 个通用 16-bit 定时器、1 个通用 32-bit 定时器、1 个 16-bit 先进控制 PWM 定时器等。

FCM32F072 单片机可以在 1.8~5.5V 电源范围、-40 至 85°C 温度范围内工作。综合的节电模式适用于低功耗应用。

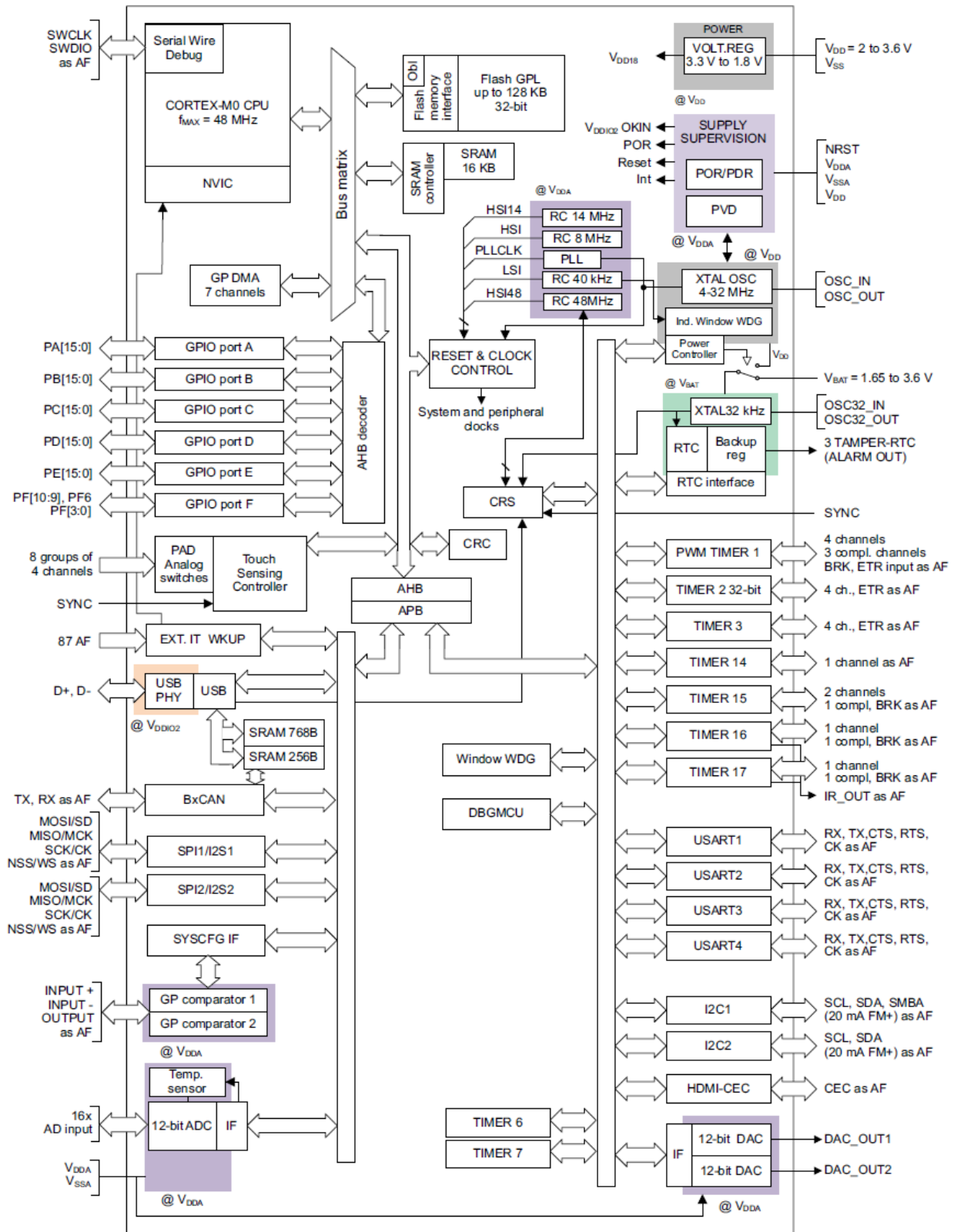
FCM32F072 单片机包含多种不同硬封装，从 48 至 68 PIN。也可以根据需要提供 DIE。根据封装的不同，包含不同的外设。下表提供了 FCM32F072 完整的外设范围。

这些特征使得 FCM32F072 单片机非常适合宽范围应用，例如应用控制和用户接口、手持设备、A/V 接收器和数字电视、PC 外设、游戏周边、GPS 平台、工业应用、PLC、打印机、扫描仪、警报系统、视频连接和 HVAC。

FCM32F072 device features and peripheral counts

Part No.	Frequency (MHz)	Flash (KB)	SRAM (KB)	GPIO	16bit Timer	32bit Timer	SysTick Timer	WDG	RTC	ADC Engine	ADC Channel	DAC Channel	OPAMP	COMP	TSC Channel	SPI	I2S	I2C	U(S)ART	CEC	USB	USBHD	USBHUB	bxCAN	exCAN	HAU	LLSI Channel	PLib	Package
FCM32F072C8T6	72	64	16	37	8	1	1	2	1	1	13	2	-	2	16	2	2	2	4	1	1	-	-	1	-	1	7	√	LQFP48
FCM32F072CBT6	72	128	16	37	8	1	1	2	1	1	13	2	-	2	16	2	2	2	4	1	1	-	-	1	-	1	7	√	LQFP48
FCM32F072R8T6	72	64	16	51	8	1	1	2	1	1	19	2	-	2	17	2	2	2	4	1	1	-	-	1	-	1	7	√	LQFP64
FCM32F072RBT6	72	128	16	51	8	1	1	2	1	1	19	2	-	2	17	2	2	2	4	1	1	-	-	1	-	1	7	√	LQFP64

Block diagram



3 功能概述

3.1 ARM® Cortex-M0 内核

ARM® Cortex-M0 处理器是适用于嵌入式系统的 32 位内核，它被开发适用于需要 MCU 应用的低功耗数、低功耗、需要快速响应中断以及对计算能力有需求的应用场合。

ARM® Cortex-M0 处理器和 8、16 位器件相比，具有优秀的代码效率和更高的性能。

3.2 存储

该器件具有以下特点：

- 16KB 内置 SRAM，和 CPU 相同的时钟运行速度（0 等待周期）
- 非易失存储器（FLASH）分为 2 部分：
 - 64/128KB FLASH 存储用于程序和数据
 - Option Bytes（选项字）

选项字用于 FLASH 写保护（以 4KB 为单位）和整个 FLASH 的读保护，有以下选项：

- Level 0: 无读保护
- Level 1: FLASH 读保护，不能通过调试接口或从 RAM 引导来对 FLASH 读取或写入
- Level 2: 芯片读保护。调试功能和从 RAM 启动被禁止

3.3 Boot 模式

在启动时，boot 引脚和 boot select 选项位用于从以下三种引导模式中选择：

- 从用户 FLASH 引导
- 从系统存储区（System Memory）引导
- 从内置 SRAM 引导

Boot 引脚和 GPIO 共用，可以通过 boot select 选项位禁止。Boot loader 位于 System Memory。

3.4 CRC & HAU

CRC 计算单元用于从 32 位数据和多项式返回 CRC 结果。

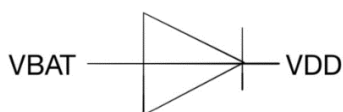
- 完全可编程的多项式及大小（7、8、16、32 位）
- 8、16、32 位数据大小
- 单个 32 位输入/输出数据寄存器
- 输入缓冲以避免在计算时的总线停止
- 32 位数据只需要 4 个 AHB 时钟
- 通用 8 位寄存器可用于临时存储
- 可选的数据取反

HAU 运算单元支持整数 32 位除法，以及整数开方运算。

3.5 电源管理

3.5.1 电源供电

- VDD = 1.8 – 5.5V: 外部电源，供给 I/O 和内部稳压器。通过 VDD 引脚提供。
- VDDA = 1.8 – 5.5V: 外部模拟电源，供给 ADC、复位电路、RC 振荡器和 PLL。VDDA 电压必须总是 \geq VDD 电压，并且必须先供电。
- VDDIO2 = 1.8 – 5.5V: 外部电源，供给部分指定 I/O。VDDIO2 电压独立于 VDD、VDDA，但必须在提供 VDD 电源时才能供给。
- VBAT。VBAT 可以通过 ADC 监测。VBAT 通过二极管向整个 VDD 供电，所以 VDD 掉电后，并没有真正掉电。



3.5.2 电源监测

该器件集成电源上电复位（POR）和电源掉电复位（PDR）电路。

POR/PDR 总是有效，并确保在 1.8V 以上正常操作。MCU 在电源电压低于指定阈值电压（VPOR/PDR）时保持在复位状态，且不需要外部复位电路。

- POR 只监测 VDD 电压。在启动阶段，要求 VDDA 先供电并 \geq VDD 电压。
- PDR 监测 VDD 和 VDDA 电压。VDDA 电压监测可以通过编程选项字关闭来降低电源消耗。

VDDIO2 通过和内部参考电压（VREFINT）比较进行监测。当 VDDIO2 电压低于该阈值时，通过 VDDIO2 供电的 I/O 会被关闭。该比较器输出内部连接至 EXTI 第 31 行，并可用于产生中断。

该器件也集成了可编程电压监测器（PVD），通过对 VDD 和 VPVD 阈值电压比较来监测 VDD。当 VDD 低于或高于 VDD 时产生中断。中断服务程序可以产生警告信息和/或使 MCU 进入安全模式。PVD 通过软件使能。

3.5.3 稳压器

稳压器有两种工作模式，且在复位后总是被使能。

- 主模式（MR）用于普通操作（Run）
- 低功耗模式（LPR）可用于 Stop 模式，因为此时电源需求减小

在待机（Standby）模式，稳压器进入低功耗模式，MCU 内核及 SRAM、寄存器停止工作，数据被保持不会丢失。

3.5.4 低功耗模式

FCM32F072 支持三种节电模式，可以根据不同的电源消耗、快速启动时间、唤醒源来选择：

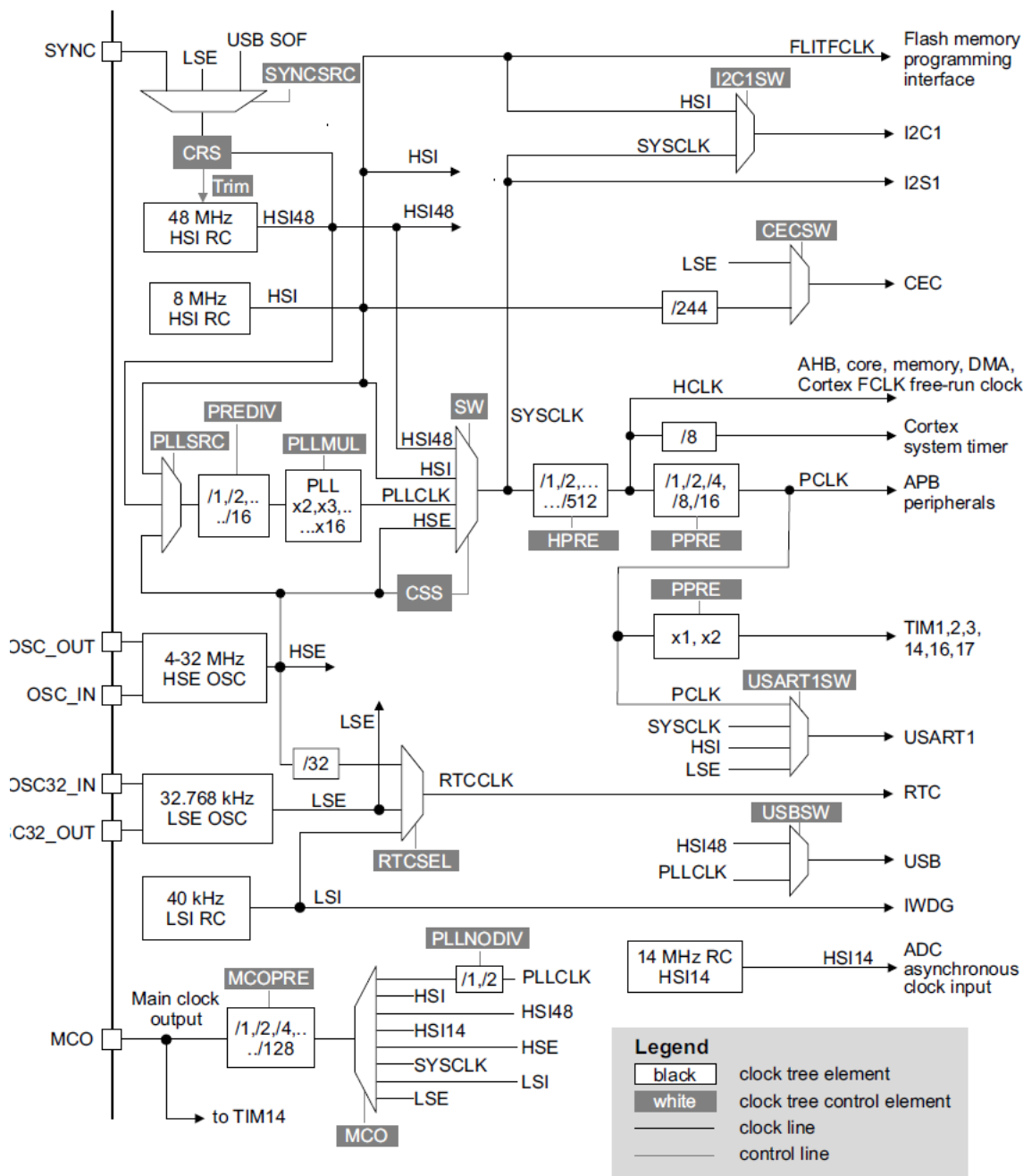
- 睡眠（Sleep）模式
在 Sleep 模式，只有 CPU 被停止。所以外设继续工作，并且可以通过中断/事件唤醒 CPU。

- 停止 (Stop) 模式
Stop 模式实现了在保持 SRAM 和寄存器内容时非常低的电源消耗。所有 1.5V 区域的时钟都被停止，PLL、HSI RC 和 HSE 晶振电路被关闭。稳压器可以被置于 MR 或 LPR 模式。MCU 在 Stop 模式可以通过任意 EXTI 线唤醒。EXTI 源可以是 16 条外部线、PVD 输出、RTC 警报、I²C1、USART1 或 CEC。
I²C1、USART1 和 CEC 可以被配置成允许 HSI RC 振荡器以使其能处理输入数据。如果稳压器在此时被配置成 LPR 模式，它会在时钟提供给外设前先切换至 MR 模式。
 - 待机 (Standby) 模式
待机模式用来实现最低的电源消耗。内部稳压器被配置成 LPR 模式。PLL、HSI RC 和 HSE 晶振电路也被关闭。SRAM 和寄存器内容不会丢失，I/O 保持在模拟输入状态。
通过外部复位 (NRST 引脚)、IWDG 复位、WKUP 引脚上升沿或 RTC 事件，使 MCU 退出 Standby 模式。
- Note: RTC、IWDG，和其相应的时钟源在进入 Stop/Standby 模式后不会停止。

3.6 时钟

在 MCU 启动时，内部 RC 8MHz 振荡器被选择 CPU 时钟。外部 4-16MHz 晶体振荡器也可以被选择，并且带时钟故障监测。如果该振荡器监测到故障，系统会自动切换回内部 RC 振荡器。时钟故障时可以产生中断。并且，在该时钟直接或间接用于 PLL 输入时，也可产生中断。多种预分频器可以用于配置 AHB/APB 时钟。AHB 和 APB 最大时钟频率为 72MHz。另外，内部 48MHz RC 振荡器可以被选作系统时钟或 PLL 输入。该振荡器可以通过 CRS 外设由外部同步信号来自动校准。

Clock tree



3.7 通用 I/O (GPIO)

每一个 GPIO 可以被软件配置成输出（推挽或开路）、输入（带/不带上、下拉）或外设附加功能。大多数 GPIO 和模拟、数字附加功能复用。I/O 配置可以通过指定操作序列进行锁定。

3.8 直接存储器访问控制器 (DMA)

7 通道通用 DMA 管理存储至存储、外设至存储、存储至外设的数据传输。



DMA 支持环形缓冲管理，在控制器到达缓冲最后位置时，不需要用户代码干预。

每一个通道连接至专门的硬件 DMA 请求，并且支持软件触发。DMA 通过软件进行配置，源和目的传输大小不受限制。

DMA 可以用于主要的外设：SPI、I²S、I²C、USART、LLSI、USB，所有 TIMx 定时器（除了 TIM14）和 ADC、DAC。

DMA 主要特点：

- DMA1 最多可支持 7 个独立的可配置通道（请求）
- 每个通道连接至专用的硬件 DMA 请求，也可由软件触发
- 4 级可编程的优先级
- 源/目的可配置独立的传输大小（字节、半字、字），源/目的地址单独配置
- 支持环形缓冲管理（circular buffer management）
- 3 个事件标志（半传输完成、传输完成、传输出错），事件标志相或用于产生单个中断
- 存储器至存储器传输
- 外设至存储器、存储器至外设、外设至外设传输
- FLASH、SRAM、外设作为源或目的
- 最大 65535 的可编程传输大小

3.9 中断和事件

3.9.1 嵌套向量中断控制器（NVIC）

FCM32F072 系列集成了一个最多支持 32 个可屏蔽中断通道（不包含 Cortex-M0 的 16 个中断线）和 4 个优先级的嵌套向量中断控制器。

- 紧耦合 NVIC 提供低延时中断处理
- 中断入口向量地址直接传输至 CPU 核
- 允许更早的处理中断
- 处理晚到的高优先级中断
- 支持尾链
- 处理器状态自动保存

3.9.2 扩展的中断/事件控制器（EXTI）

扩展的中断/事件控制器由 24 条边沿检测线组成，用于产生中断/事件请求和唤醒系统。每条线可独立的配置成选择触发事件（上升沿、下降沿或边沿），也可单独屏蔽。一个暂存寄存器包含中断请求状态。EXTI 可以检测比内部 APB2 时钟周期更短的外部输入。最多 56 个 GPIO 可以连接至 16 个外部中断线。

3.9.3 中断向量

Position	Priority	Type of priority	Acronym	Description	Address

-	-	-	-	Reserved	0x0000 0000
-	-3	Fixed	Reset	Reset	0x0000 0004
-	-2	Fixed	NMI	Non maskable interrupt (CSS linked.)	0x0000 0008
-	-1	Fixed	HardFault	All class of fault	0x0000 000C
-	3	Settable	SVCall	System service call via SWI instruction	0x0000 002C
-	5	Settable	PendSV	Pendable request for system service	0x0000 0038
-	6	Settable	SysTick	System tick timer	0x0000 003C
0	7	Settable	WWDG	Window watchdog interrupt	0x0000 0040
1	8	Settable	PVD_VDDIO2	PVD and VDDIO2 supply comparator interrupt (combined EXTI lines 16 and 31)	0x0000 0044
2	9	Settable	RTC	RTC interrupts (combined EXTI lines 17,19 and 20)	0x0000 0048
3	10	Settable	FLASH	Flash global interrupt	0x0000 004C
4	11	Settable	RCC_CRs	RCC and CRs global interrupts	0x0000 0050
5	12	Settable	EXTIO_1	EXTI line[1:0] interrupts	0x0000 0054
6	13	Settable	EXTI2_3	EXTI Line[3:2] interrupts	0x0000 0058
7	14	Settable	EXTI4_15	EXTI line[15:4] interrupts	0x0000 005C
8	15	Settable	TSC	Touch sensing interrupt	0x0000 0060
9	16	Settable	DMA_CH1	DMA channel 1 interrupt	0x0000 0064
10	17	Settable	DMA_CH2_3	DMA channel 2 and 3 interrupts	0x0000 0068
11	18	Settable	DMA_CH4_5_6_7	DMA channel 4,5,6 and 7 interrupts	0x0000 006C
12	19	Settable	ADC_COMP	ADC and COMP interrupts (ADC interrupt combined with EXTI lines 21 and 22)	0x0000 0070
13	20	Settable	TIM1_BRK_UP_TRG_COM	TIM1 break, update, trigger and commutation interrupts	0x0000 0074
14	21	Settable	TIM1_CC	TIM1 capture compare interrupts	0x0000 0078
15	22	Settable	TIM2	TIM2 global interrupt	0x0000 007C
16	23	Settable	TIM3	TIM3 global interrupt	0x0000 0080
17	24	Settable	TIM6_DAC	TIM6 global interrupt and DAC underrun interrupt	0x0000 0084
18	25	Settable	TIM7	TIM7 global interrupt	0x0000 0088
19	26	Settable	TIM14	TIM14 global interrupt	0x0000 008C
20	27	Settable	TIM15	TIM15 global interrupt	0x0000 0090
21	28	Settable	TIM16	TIM16 global interrupt	0x0000 0094
22	29	Settable	TIM17	TIM17 global interrupt	0x0000 0098
23	30	Settable	I2C1	I2C1 global interrupt (combined with EXTI line 23)	0x0000 009C
24	31	Settable	I2C2	I2C2 global interrupt	0x0000 00A0
25	32	Settable	SPI1	SPI1 global interrupt	0x0000 00A4
26	33	Settable	SPI2_LLSI	SPI2 and LLSI global interrupt	0x0000 00A8
27	34	Settable	USART1	USART1 global interrupt (combined with EXTI line 25)	0x0000 00AC
28	35	Settable	USART2	USART2 global interrupt (combined with EXTI line 26)	0x0000 00B0
29	36	Settable	USART3_4	USART3 and 4 global interrupts (combined with EXTI line 28)	0x0000 00B4
30	37	Settable	CEC_CAN	CEC, CAN1 interrupts	0x0000 00B8
31	38	Settable	USB	USB global interrupt(combined with EXTI line 18)	0x0000 00BC

3.10 模拟数字转换器（ADC）

12 位 ADC 模数转换器最多包含 10 个外部和 3 个内部（温度传感器、电压参考、VBAT 电压测量）通道，可以以单次或扫描模式转换。在扫描模式，模拟输入的被选中组能够自动完成转换。

ADC 支持 DMA。

模拟看门狗可以对一个、部分或全部被选的通道进行高精度监测。当转换电压超出阈值设定时会产生中断。

3.10.1 温度传感器（TS）

温度传感器产生一个和温度成线性变化的电压 V_{SENSE} 。

温度传感器在内部连接至 ADC_IN16 输入通道，用来将传感器输出电压转换成数字值。

3.10.2 内部电压基准（VREFINT）

内部基准电压（VREFINT）提供一个稳定的（基准）电压输出用于 ADC。VREFINT 在 IC 内部连接至 ADC_IN17 输入通道。

3.10.3 VBAT 电池电压监测

VBAT 引脚在 IC 内部 1/2 分压后连接至 ADC_IN18，主要用于测量外部电压。

3.11 数字模拟转换器（DAC）

2 个 12 位带缓冲 DAC 通道用于将数字信号转换为模拟电压输出。其结构由集成的电阻阵列和同相放大器组成。

DAC 主要特点：

- 8 或者 12 位单独输出
- 12 位模式下数据左对齐或右对齐
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 双 DAC 通道同时或者分别转换
- DMA 功能
- 外部触发转换

3.12 比较器（COMP）

FCM32F072 内嵌 2 个快速轨对轨低功耗比较器，并支持可编程的参考电压（内部或外部）、迟滞、速度和可选的输出极性。

参考电压可以选择下列之一：

- 外部 I/O
- DAC 输出
- 内部参考电压的分压（1/4、1/2、3/4）

所有比较器可以从 STOP 模式唤醒，产生中断，以及打断定时器。并且可以组成窗口比较器。

3.13 电容触摸控制器（TSC）

FCM32F072 提供一个简单的方案来给任何应用添加电容检测功能。该系列通过 6 组模拟 I/O 最多提供 18 个电容通道。

电容检测技术可以检测靠近防止直接触摸的绝缘体（玻璃、塑料等）后的手指。手指（或任何导电物体）引起的电容变化通过内置的表面充电传输抓取机制来测量。它先对电容传感器充电然后传输一部分累积的电荷至采样电容，直到其超过指定阈值。为了减少 CPU 负荷，该过程直接由触摸感应控制器硬件控制，并且只需极少的外部元件。

Capacitive sensing GPIOs available on FCM32F072 devices

Group	Capacitive sensing signal name	Pin name	Group	Capacitive sensing signal name	Pin name
1	TSC_G1_IO1	PA0	4	TSC_G4_IO1	PA9
	TSC_G1_IO2	PA1		TSC_G4_IO2	PA10
	TSC_G1_IO3	PA2		TSC_G4_IO3	PA11
	TSC_G1_IO4	PA3		TSC_G4_IO4	PA12
2	TSC_G2_IO1	PA4	5	TSC_G5_IO1	PB3
	TSC_G2_IO2	PA5		TSC_G5_IO2	PB4
	TSC_G2_IO3	PA6		TSC_G5_IO3	PB6
	TSC_G2_IO4	PA7		TSC_G5_IO4	PB7
3	TSC_G3_IO1	PC5	6	TSC_G6_IO1	PB11
	TSC_G3_IO2	PB0		TSC_G6_IO2	PB12
	TSC_G3_IO3	PB1		TSC_G6_IO3	PB13
	TSC_G3_IO4	PB2		TSC_G6_IO4	PB14

3.14 定时器和看门狗

FCM32F072 系列包含最多 5 个通用定时器和 1 个先进定时器。

Timer feature comparison

Timer type	Timer	Counter resolution	Counter type	Maximum operating Frequency	Prescaler factor	DMA request generation	CCP channels	Complementary outputs
Advanced control	TIM1	16-bit	Up, down, Up/down	144 MHz	1~65536	Yes	4	3
General purpose	TIM2	32-bit	Up, down, Up/down	144 MHz	1~65536	Yes	4	-
	TIM3	16-bit	Up, down, Up/down	144 MHz	1~65536	Yes	4	-

	TIM14	16-bit	Up	72 MHz	1~65536	No	1	-
	TIM15	16-bit	Up	72 MHz	1~65536	Yes	2	1
	TIM16, TIM17	16-bit	Up	72 MHz	1~65536	Yes	1	1
Basic	TIM6 TIM7	16-bit	Up	72 MHz	1~65536	Yes	-	-

TIM1/2/3 可选择 2x PLLCLK 作为时钟，以提供更高的 PWM 频率和精度，通过 RCC->CFGR3 的 TIMxSW 位实现。当选择 2x PLLCLK 时，SYSCLK/HCLK/PCLK 必须同频，且不经过任何分频。

RCC_CFGR3

Address: 0x30

Reset value: 0x0000 0000

Bit9 : TIM1SW, 1=Select 2x PLLCLK as timer clock source

Bit24 : TIM2SW, 1=Select 2x PLLCLK as timer clock source

Bit25: TIM3SW, 1=Select 2x PLLCLK as timer clock source

3.14.1 先进定时器 TIM1

先进定时器 TIM1 可用于 6 通道的 3 相 PWM。它的互补输出带可编程死区。它也可用作一个完整的通用定时器。4 个独立通道可用作：

- 输入捕捉 IC
- 输出比较 OC
- PWM（边沿或中心对齐模式）
- 单脉冲输出

如果配置成标准 16 位定时器，它的功能和 TIMx 一样。如果配置成 16 位 PWM，拥有完全调制的占空比（0%-100%）。

在 MCU 的调试模式，定时器也可以被冻结。

TIM1 的大多数功能和其它标准定时器的功能一样。先进定时器可以和其它定时器级联和同步。

3.14.2 通用定时器 TIM2/3/14/15/16/17

FCM32F072 拥有 6 个通用定时器。每个通用定时器可用于产生 PWM，或者只作简单定时用途。

TIM2/3

FCM32F072 包含 2 个同步 4 通道通用定时器。TIM2 由 16 位预分频器和 32 位自动重装载向上/向下计数器构成。TIM3 由 16 位预分频器和 16 位自动重装载向上/向下计数器构成。它们包含 4 个独立通道，每一个可用于输入捕捉/输出比较、PWM 或单击模式输出。总共可提供 12 个输入捕捉/输出比较通道。

TIM2/3 可以级联，也可以和 TIM1 连接用于同步。

TIM2/3 可以支持正交编码信号，或 1~3 个霍尔传感器的数字输出。

该定时器可以在 debug 模式下被冻结。

TIM14

该定时器基于 16 位预分频器和 16 位自动重装载向上计数器。

定时器包含单通道，用于输入捕捉、输出比较、PWM 或单击输出模式。
TIM14 在 MCU 的调试模式下被冻结。

TIM15/16/17

这些定时器基于 16 位预分频器和 16 位自动重载向上计数器。

TIM15 包含 2 个独立通道，TIM16/17 包含单通道。都可用于输入捕捉、输出比较、PWM 或单击输出模式。

TIM15、TIM16 和 TIM17 可以通过级联一起工作。TIM15 也可以和 TIM1 同步或事件链方式操作。TIM15 可以和 TIM16/TIM17 同步。

TIM15、TIM16 和 TIM17 包含带死区的互补输出，并有独立的中断请求。
这三个定时器在 MCU 的调试模式下可以被冻结。

3.14.3 基本定时器 TIM6/TIM7

该定时器作为基本 16 位定时器使用。

3.14.4 独立看门狗 IWDG

IWDG 基于 8 位预分频器和 12 位向下计数器，支持用户定义的刷新窗口。它的时钟由内部 40KHz 独立 RC 定时器提供，独立于主时钟工作。可以 Stop/Standby 模式工作。它可用于在发生问题时复位系统的看门狗，或者作为应用中的自由运行的定时器。它可通过硬件或配置字的软件配置。IWDG 可以在 Debug 模式下被冻结。

3.14.5 系统窗口看门狗 WWDG

WWDG 是一个 7 位向下计数器，可以自由运行。它可用于在发生问题时复位系统的看门狗。WWDG 时钟来自于 APB 时钟 PCLK。它有提前警告中断能力。
WWDG 可以在 Debug 模式下被冻结。

3.14.6 SysTick 定时器

该定时器专用于实时操作系统，但也可作为标准向下计数器。

- 24 位向下计数器
- 自动重载
- 计数至 0 时，可产生可屏蔽系统中断
- 可编程时钟源（HCLK 或 HCLK/8）

3.15 实时时钟（RTC）和备份寄存器

备份寄存器为 5 个 32 位寄存器，用于存储 20 字节的用户数据。它们不会被系统复位，也不会

从 Standby 模式唤醒时复位。

RTC 是独立的 BCD 定时/计数器，有以下主要特征：

- 带子秒、秒、分、时（12 或 24 小时制）、星期、日、月、年的日历，BCD 格式
- 闰年的自动日期修正（月的 28、29、30 或 31 天）
- 可编程警报，将 MCU 从 Stop/Standby 模式唤醒
- 可以通过主时钟同步，即时修正范围在 1-32767 个 RTC 时钟脉冲
- 数字校准提供 1ppm 精度，用于补偿石英晶体误差
- 带可编程滤波器的 2 个入侵检测引脚
- 时间戳可以存储日历内容。该功能可以通过时钟戳引脚或入侵事件触发。
- 参考时钟检测：更高精度的秒时钟源（50/60 Hz）可用于提高日历的精度

RTC 时钟源可以是：

- 32768 Hz 外部晶体
- 陶振或其它振荡器
- 内部低功耗 RC 振荡器（40KHz）
- 高速外部时钟/32

3.16 内部集成电路接口（I²C）

I²C 可以工作在多主机或从机模式。支持标准模式（100 kbit/s）、快速模式（400 kbit/s）和带 20mA 驱动的快速加（FMP，1Mbit/s）模式。

I²C 支持 7 位和 10 位地址模式，多个 7 位从机地址（2 个地址，1 个带可屏蔽的配置位）。也包含可编程的模拟和数字噪声滤波器。

另外，I²C1 提供硬件支持 SMBUS 2.0 和 PMBUS 1.1。I²C1 也有独立于 CPU 时钟之外的时钟域，允许在地址匹配时将 MCU 从 Stop 模式唤醒。

I²C 接口可以通过 DMA 操作。

FCM32F072 I²C 功能

I ² C features	I ² C1	I ² C2
7 位地址模式	Y	Y
10 位地址模式	Y	Y
标准模式（100 kbit/s）	Y	Y
快速模式（400 kbit/s）	Y	Y
带 20mA 驱动的快速+模式（1 Mbit/s）	Y	Y
独立时钟	Y	-
SMBus	Y	-
从 Stop 模式唤醒	Y	-

3.17 通用同步异步收发器（USART）

USART 为通用异步收发接口，它提供工业标准的双全工数据交换能力，使用可编程的波特率产生器以支持非常宽范围的波特率。

它支持全双工、半双工通讯，或多主机通讯。也支持 LIN（Local Interconnect Network）、smartcard 协议以及 IrDA(Infrared Data Association) SIR ENDEC 规格和 modem 操作（CTS/RTS）。

可以使用 DMA 来实现高速数据交换。

USART 主要特点：

- 全双工异步通讯
- NRZ 标准格式（mark/space）
- 可配置的 8 或 16 倍超采样方法

- 当时钟频率是 48MHz、8 倍超采样时最快达 6Mbit/s 的通讯速度
- 双时钟域，以使以下功能得以实现：
 - STOP 模式 UART 可以工作和唤醒
 - 方便的波特率编程而不需要改变 PCLK 频率
- 自动波特率检测
- 可编程的数据长度（7/8/9 位）
- 可编程的数据顺序（高位或低位优先）
- 可编程的停止位宽度（1 或 2 位停止位）
- 单线半双工通讯
- 使用 DMA 来实现连续通讯
- 使用 DMA 来将接收/发送数据保存在保留的 SRAM 空间
- 单独的发送、接收使能位
- 单独的信号极性选择
- 可交换的 Tx/Rx 引脚
- 用于 modem 和 RS-485 收发器的硬件流控制
- 通讯控制/出错标志
- 奇偶控制：
 - 发送奇偶位
 - 检查接收到的奇偶位
- 带标志的 14 个中断源
- 多主机通讯
- 从 mute 模式唤醒

FCM32F072 USART 功能

USART modes/ features	USART1/2/3	USART4
Modem 硬件流控	Y	Y
通过 DMA 连续通讯	Y	Y
多主机通讯	Y	Y
同步模式	Y	Y
Smartcard 模式	Y	-
单线半双工通讯	Y	Y
IrDA SIR 编解码模块	Y	-
LIN 模式	Y	-
双时钟模式以及从 STOP 唤醒	Y	-
接收超时中断	Y	-
Modbus 通讯	Y	-
自动波特率检测	Y	-
Driver Enable	Y	Y

3.18 串行外设接口（SPI/I²S）

SPI 接口用于和外部器件使用 SPI 协议通讯。SPI 支持半双工、全双工和简单同步串行通讯。当配置成主机（MASTER）时，对外接从机（SLAVE）提供通讯时钟（SCK）。该接口也可以配置成多主机模式。

SPI 主要特点：

- MASTER 或 SLAVE 操作
- 全双工通讯仅使用 3 线
- 半双工通讯使用 2 线（双向数据线）
- 4~16 位数据格式
- 多主机能力

- MASTER 模式波特率达 $f_{PCLK}/2$
- SLAVE 模式波特率达 $f_{PCLK}/2$
- NSS 可由软件或硬件管理
- 可编程的时钟极性和相位
- 可编程的数据顺序：高位优先或低位优先
- 带中断能力的专用发送/接收标志
- SPI 总线忙标志
- 硬件 CRC 用于可靠性通讯
 - 在 Tx 模式最后发送 CRC 值
 - 接收到最后一个数据时自动进行 CRC 错误检查
- 2 个 32 位内嵌 Rx/Tx FIFO，支持 DMA

一个标准的 I2S 接口（和 SPI1 引脚复用）支持 4 种不同的音频格式，可以在主/从机模式以半双工进行通讯。可以配置成 16/24 或 32 位数据格式、16 或 32 位数据精度。通过 8 位可编程线性预分频器将音频采样频率设定在 8-192 kHz。在主机模式时，可输出 256 位的采样时钟给外部器件。

FCM32F072 SPI/I²S 功能

SPI features	SPI1	SPI2
硬件 CRC 计算	Y	Y
Rx/Tx FIFO	Y	Y
NSS 脉冲模式	Y	Y
I2S 模式	Y	Y
I2S 全双工模式	-	Y
TI 模式	Y	Y

I2S2EXT 为附加的 I2S 接口，其不能独立使用，和 I2S2 组成全双工 I2S 接口。

3.19 HDMI-CEC

FCM32F072 内置了一个 HDMI-CEC 控制器，以提供对 CEC 协议的支持。

3.20 基本局域网控制器（bxCAN）

局域网控制器（bxCAN）子系统由 1 个 CAN 模块和消息 RAM 构成。

所有 CAN 模块（bxCAN1）都兼容 ISO 11898-1（CAN protocol specification version 2.0 Part 支 A,B）。在安全苛求的应用中，bxCAN 提供所有的硬件功能用于支持 CAN 的定时触发通讯。

bxCAN 未与 USB 共用 RAM。

3.21 USB 设备接口（USB D）

FCM32F072 内置支持 USB2.0 协议的全速 USB DEVICE 外设。内部 USB PHY 支持 USB FS 信号，内置 DP 上拉，以及 BCD 1.2 版本的电池充电检测。USB D 接口集成了支持 USB 2.0 LPM 功能的全速功能接口。

USB 包含通过软件配置的端点，支持休眠/唤醒。USB D 自带 2 KB 缓存。USB D 需要高精度 48MHz 时钟来工作，可以使用外部晶振+PLL 或内部带自动校准的 48MHz 振荡器来实现。该内部振荡器的同步信号可来自 USB SOF 信号，以实现免晶振应用。

3.22 LED 灯条控制接口 (LLSI)

LED 灯条控制接口，用来驱动 RGB 灯条。

LLSI 主要特点：

- 7 个通道，带空闲极性控制
- 每个 LLSI 通道包含 4 级深度的发送 FIFO
- 可配置的数据周期和编码
- 可配置的复位宽度
- 可配置的空闲电平
- 支持 RGB 和 GRB 格式
- 支持 RGBW 和 GRBW 模式
- 支持自由数据模式
- 支持自动发送附加数据
- 支持 DMA 模式

3.23 时钟恢复系统 (CRS)

时钟恢复系统 CRS 用于对内部 48MHz 振荡器进行精确校准。自动校准基于外部同步信号，可以是 USB SOF、LSE 振荡器、CRS_SYNC 引脚的外部信号，或者软件产生。

3.24 私有库 (PLib)

PLib 为私有库，主要目的有三个：

- 防止程序被读出，杜绝各种破解方式
- 方便中间方案商保护知识产权，可以将其核心算法固化再提供给终端客户二次开发，而不会泄露核心代码
- 加入版权保护信息，方便维权

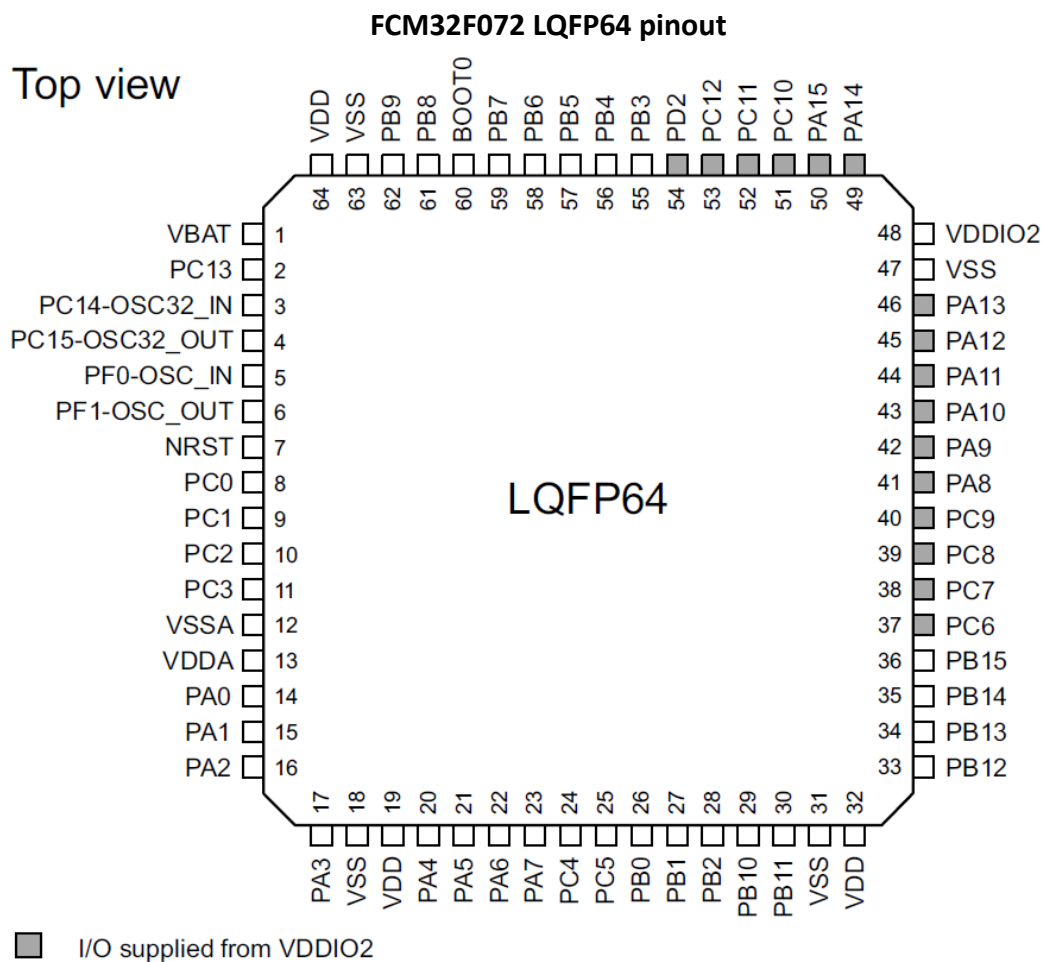
3.25 串行/JTAG 调试器 (SWJ-DP)

ARM SWJ-DP 接口用于调试/烧写 MCU，支持 SWD。

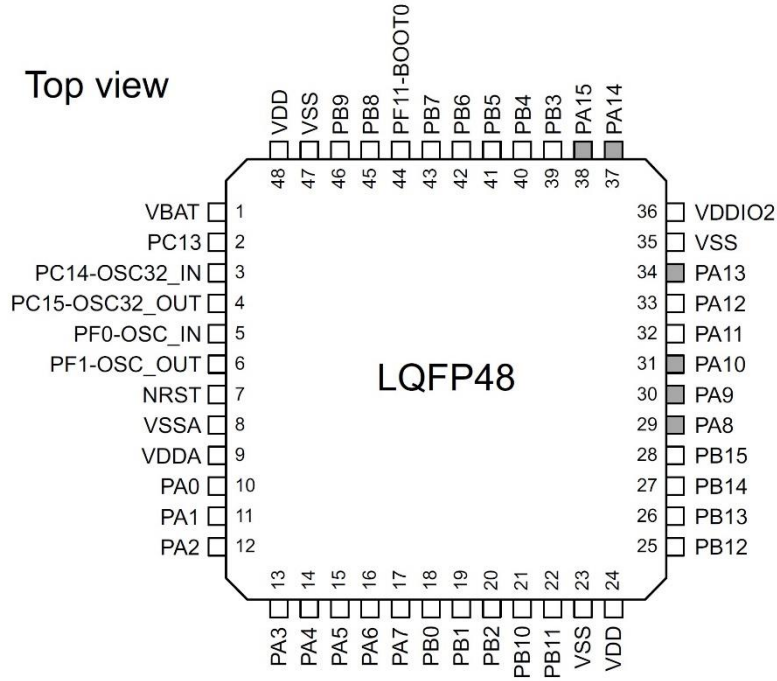
4 引脚信息

注:

- 1) 默认版本 PA11/12 由 VDD 供电, 如需由 VDDIO2 供电, 需定制
- 2) AF 表格中的部分引脚, 未在封装片中引出, 仅存在于 DIE 版本

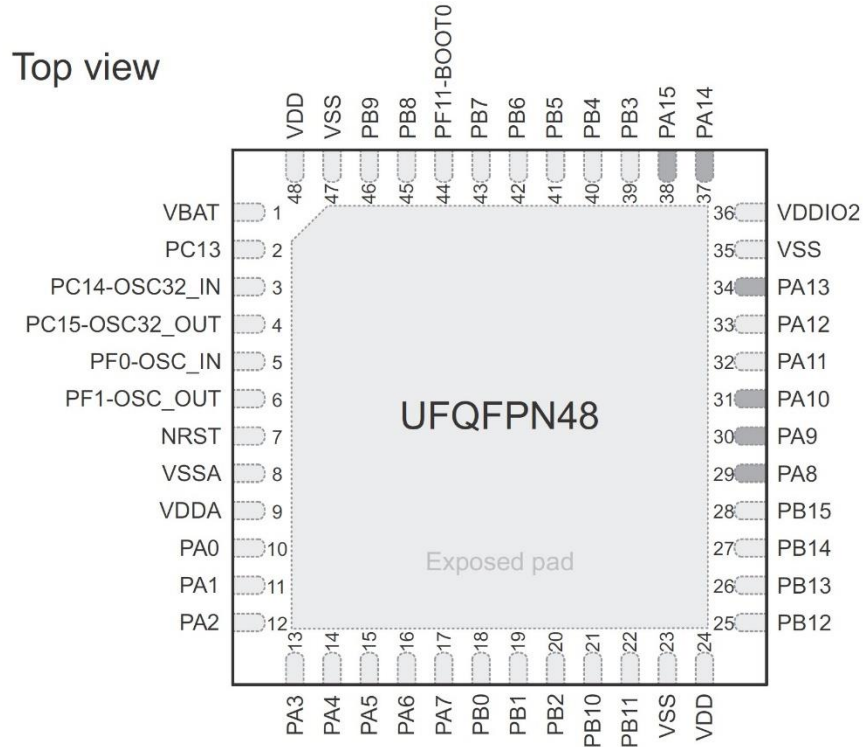


FCM32F072 LQFP48 pinout



■ I/O supplied from VDDIO2

FCM32F072 UFQFPN48 pinout



■ I/O supplied from VDDIO2

FCM32F072 pin definitions

Pin numbers			Pin name (function after reset)	Pin type	I/O structure	Notes	Pin functions	
LQFP64	LQFP48/JFQFPN48	TSSOP20					Alternate functions	Additional functions
1	1	-	VBAT	S	-	-	Backup power supply	
2	2	-	PC13	I/O	TC	(1) (2)	-	WKUP2, RTC_TAMP1, RTC_TS, RTC_OUT
3	3	-	PC14 OSC32_IN	I/O	TC	(1) (2)	-	OSC32_IN
4	4	-	PC15 OSC32_OUT	I/O	TC	(1) (2)	-	OSC32_OUT
5	5	2	PF0 OSC_IN	I/O	FTf		CRS_SYNC, I2C1_SDA	OSC_IN
6	6	3	PF1 OSC_OUT	I/O	FTf		I2C1_SCL	OSC_OUT
7	7	4	NRST	I/O	RST		Device reset input / internal reset output(active low)	
8	-	-	PC0	I/O	TTa		EVENTOUT, USART6_TX, USART7_TX	ADC_IN10
9	-	-	PC1	I/O	TTa		EVENTOUT, USART6_RX, USART7_RX	ADC_IN11
10	-	-	PC2	I/O	TTa		SPI2_MISO, I2S2_MCK, EVENTOUT, USART8_TX	ADC_IN12
11	-	-	PC3	I/O	TTa		SPI2_MOSI, I2S2_SD, EVENTOUT, USART8_RX	ADC_IN13
12	8	-	VSSA	S	-		Analog ground	
13	9	5	VDDA	S	-		Analog power supply	
14	10	6	PA0	I/O	TTa		USART2_CTS, TIM2_CH1_ETR, TSC_G1_IO1, USART4_TX COMP1_OUT	RTC_TAMP2, WKUP1, ADC_IN0, COMP1_INM6
15	11	7	PA1	I/O	TTa		USART2_RTS, TIM2_CH2, TIM15_CH1N, TSC_G1_IO2, USART4_RX, EVENTOUT	ADC_IN1, COMP1_INP
16	12	8	PA2	I/O	TTa		USART2_TX, TIM2_CH3, TIM15_CH1, TSC_G1_IO3 COMP2_OUT	ADC_IN2, WKUP4, COMP2_INM6

17	13	9	PA3	I/O	TTa		USART2_RX, TIM2_CH4, TIM15_CH2, TSC_G1_IO4	ADC_IN3, COMP2_INP
18	-	-	VSS	S	-		Ground	
19	-	-	VDD	S	-		Digital power supply	
20	14	10	PA4	I/O	TTa		SPI1_NSS, I2S1_WS, TIM14_CH1, TSC_G2_IO1, USART2_CK, USART6_TX	COMP1_INM4, COMP2_INM4, ADC_IN4, DAC_OUT1
21	15	11	PA5	I/O	TTa		SPI1_SCK, I2S1_CK, CEC, TIM2_CH1_ETR, TSC_G2_IO2, USART6_RX	COMP1_INM5, COMP2_INM5, ADC_IN5, DAC_OUT2
22	16	12	PA6	I/O	TTa		SPI1_MISO, I2S1_MCK, TIM3_CH1, TIM1_BKIN, TIM16_CH1, COMP1_OUT, TSC_G2_IO3, EVENTOUT, USART3_CTS	ADC_IN6
23	17	13	PA7	I/O	TTa		SPI1_MOSI, I2S1_SD, TIM3_CH2, TIM14_CH1, TIM1_CH1N, TIM17_CH1, COMP2_OUT, TSC_G2_IO4, EVENTOUT	ADC_IN7
24	-	-	PC4	I/O	TTa		EVENTOUT, USART3_TX	ADC_IN14
25	-	-	PC5	I/O	TTa		TSC_G3_IO1, USART3_RX	ADC_IN15, WKUP5
26	18	-	PB0	I/O	TTa		TIM3_CH3, TIM1_CH2N, TSC_G3_IO2, EVENTOUT, USART3_CK	ADC_IN8
27	19	14	PB1	I/O	TTa		TIM3_CH4, USART3_RTS, TIM14_CH1, TIM1_CH3N, TSC_G3_IO3	ADC_IN9
28	20	-	PB2	I/O	FT		TSC_G3_IO4	-
29	21	-	PB10	I/O	FTf		SPI2_SCK, I2S2_CK, I2C2_SCL, USART3_TX, CEC, TSC_SYNC, TIM2_CH3	-
30	22	-	PB11	I/O	FTf		USART3_RX, TIM2_CH4, EVENTOUT, TSC_G6_IO1, I2C2_SDA	-
31	23	15	VSS	S	-		Ground	
32	24	16	VDD	S	-		Digital power supply	
33	25	-	PB12	I/O	FT		TIM1_BKIN, TIM15_BKIN, SPI2_NSS, I2S2_WS, USART3_CK, TSC_G6_IO2, EVENTOUT	-
34	26	-	PB13	I/O	FTf		SPI2_SCK, I2S2_CK, I2C2_SCL, USART3_CTS, TIM1_CH1N, TSC_G6_IO3	-

35	27	-	PB14	I/O	FTf		SPI2_MISO, I2S2_MCK, I2C2_SDA, USART3_RTS, TIM1_CH2N, TIM15_CH1, TSC_G6_IO4	-
36	28	-	PB15	I/O	FT		SPI2_MOSI, I2S2_SD, TIM1_CH3N, TIM15_CH1N, TIM15_CH2	WKUP7, RTC_REFIN
37	-	-	PC6	I/O	FT	(3)	TIM3_CH1, USART7_TX	-
38	-	-	PC7	I/O	FT	(3)	TIM3_CH2, USART7_RX	-
39	-	-	PC8	I/O	FT	(3)	TIM3_CH3, USART8_TX	-
40	-	-	PC9	I/O	FT	(3)	TIM3_CH4, USART8_RX	-
41	29	-	PA8	I/O	FT	(3)	USART1_CK, TIM1_CH1, EVENTOUT, MCO, CRS_SYNC I2S2EXT_SD	-
42	30	17	PA9	I/O	FT	(3)	USART1_TX, TIM1_CH2, TIM15_BKIN, TSC_G4_IO1, I2C1_SCL	MCO
43	31	18	PA10	I/O	FT	(3)	USART1_RX, TIM1_CH3, TIM17_BKIN, TSC_G4_IO2, I2C1_SDA	-
44	32	17	PA11	I/O	FT	(3)	CAN_RX, USART1_CTS, TIM1_CH4, COMP1_OUT, TSC_G4_IO3, EVENTOUT, I2C2_SCL	USB_DM
45	33	18	PA12	I/O	FT	(3)	CAN_TX, USART1_RTS, TIM1_ETR, COMP2_OUT, TSC_G4_IO4, EVENTOUT, I2C2_SDA	USB_DP
46	34	19	PA13	I/O	FT	(3) (4)	IR_OUT, SWDIO	-
47	35	-	VSS	S	-		Ground	
48	36	-	VDDIO2	S	-		Digital power supply	
49	37	20	PA14	I/O	FT	(3) (4)	USART2_TX, SWCLK	-
50	38	-	PA15	I/O	FT	(3)	SPI1_NSS, I2S1_WS, USART2_RX, USART4_RTS, TIM2_CH1_ETR, EVENTOUT	-
51	-	-	PC10	I/O	FT	(3)	USART3_TX, USART4_TX	-
52	-	-	PC11	I/O	FT	(3)	USART3_RX, USART4_RX	-
53	-	-	PC12	I/O	FT	(3)	USART3_CK, USART4_CK, USART5_TX	-
54	-	-	PD2	I/O	FT	(3)	USART3_RTS, TIM3_ETR, USART5_RX	-
55	39	-	PB3	I/O	FT		SPI1_SCK, I2S1_CK, TIM2_CH2, TSC_G5_IO1, EVENTOUT, USART5_TX, LLS11_TXD	-

56	40	-	PB4	I/O	FT	SPI1_MISO, I2S1_MCK, TIM17_BKIN, TIM3_CH1, TSC_G5_IO2, EVENTOUT, USART5_RX <i>LLS12_TXD</i>	-
57	41	-	PB5	I/O	FT	SPI1_MOSI, I2S1_SD, I2C1_SMBA, TIM16_BKIN, TIM3_CH2, USART5_CK_RTS, <i>LLS13_TXD</i>	WKUP6
58	42	-	PB6	I/O	FTf	I2C1_SCL, USART1_TX, TIM16_CH1N, TSC_G5_I03, <i>LLS14_TXD</i>	
59	43	-	PB7	I/O	FTf	I2C1_SDA, USART1_RX, USART4_CTS, TIM17_CH1N, TSC_G5_IO4, <i>LLS15_TXD</i>	
60	44	1	PF11-BOOT0	I/O	FT	-	Boot memoryselection
61	45	-	PB8	I/O	FTf	I2C1_SCL, CEC, TIM16_CH1, TSC_SYNC, CAN_RX, <i>LLS16_TXD</i>	-
62	46	-	PB9	I/O	FTf	SPI2_NSS, I2S2_WS, I2C1_SDA, IR_OUT, TIM17_CH1, EVENTOUT, CAN_TX, <i>LLS17_TXD</i>	-
63	47	-	VSS	S	-	Ground	
64	48	-	VDD	S	-	Digital power supply	

- PC13, PC14 and PC15 are supplied through the power switch. Since the switch only sinks a limited amount of current (3 mA), the use of GPIOs PC13 to PC15 in output mode is limited:
 - The speed should not exceed 2 MHz with a maximum load of 30 pF.
 - These GPIOs must not be used as current sources (e.g. to drive an LED).
- After the first RTC domain power-up, PC13, PC14 and PC15 operate as GPIOs. Their function then depends on the content of the RTC registers which are not reset by the system reset. For details on how to manage these GPIOs, refer to the RTC domain and RTC register descriptions in the reference manual.
- Distinct VSSA pin is only available on 48-pin packages. On all other packages, the pin number corresponds to the VSS pin to which VSSA pad of the silicon die is connected.
- PA8, PA9, PA10, PA13, PA14, PA15, PC6, PC7, PC8, PC9, PC10, PC11, PC12 and PD2 I/Os are supplied by VDDIO2.
- After reset, these pins are configured as SWDIO and SWCLK alternate functions, and the internal pull-up on the SWDIO pin and the internal pull-down on the SWCLK pin are activated.

PA 端口辅助功能选择

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	USART2_CTS	TIM2_CH1_ETR	TSC_G1_IO1	USART4_TX	-	-	COMP1_OUT
PA1	EVENTOUT	USART2_RTS	TIM2_CH2	TSC_G1_IO2	USART4_RX	TIM15_CH1N	-	-
PA2	TIM15_CH1	USART2_TX	TIM2_CH3	TSC_G1_IO3	-	-	-	COMP2_OUT
PA3	TIM15_CH2	USART2_RX	TIM2_CH4	TSC_G1_IO4	-	-	-	-
PA4	SPI1_NSS,I2S1_WS	USART2_CK	USB_NOE	TSC_G2_IO1	TIM14_CH1	-	-	-
PA5	SPI1_SCK,I2S1_CK	CEC	TIM2_CH1_ETR	TSC_G2_IO2	-	-	-	-
PA6	SPI1_MISO,I2S1_MCK	TIM3_CH1	TIM1_BKIN	TSC_G2_IO3	-	TIM16_CH1	-	COMP1_OUT
PA7	SPI1_MOSI,I2S1_SD	TIM3_CH2	TIM1_CH1N	TSC_G2_IO4	TIM14_CH1	TIM17_CH1	-	COM2P_OUT
PA8	MCO	USART1_CK	TIM1_CH1	EVENTOUT	CRS_SYNC	-	<i>I2S2EXT_SD</i>	-
PA9	TIM15_BKIN	USART1_TX	TIM1_CH2	TSC_G4_IO1	I2C1_SCL	MCO	-	-
PA10	TIM17_BKIN	USART1_RX	TIM1_CH3	TSC_G4_IO2	I2C1_SDA	-	-	-
PA11	EVENTOUT	USART1_CTS	TIM1_CH4	TSC_G4_IO3	CAN1_RX	I2C2_SCL	-	COMP1_OUT
PA12	EVENTOUT	USART1_RTS	TIM1_ETR	TSC_G4_IO4	CAN1_TX	I2C2_SDA	-	COMP2_OUT
PA13	SWDIO	IR_OUT	USB_NOE	-	-	-	-	-
PA14	SWCLK	USART2_TX	-	-	-	-	-	-
PA15	SPI1_NSS,I2S1_WS	USART2_RX	TIM2_CH1_ETR	EVENTOUT	USART4_RTS	USB_NOE	-	-

PB 端口辅助功能选择

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N	TSC_G3_IO2	USART3_CK	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	TSC_G3_IO3	USART3_RTS	-	-	-
PB2	-	-	-	TSC_G3_IO4	-	-	-	-
PB3	SPI1_SCK,I2S1_CK	EVENTOUT	TIM2_CH2	TSC_G5_IO1		-	-	LLSI1_TXD
PB4	SPI1_MISO,I2S1_MCK	TIM3_CH1	EVENTOUT	TSC_G5_IO2		TIM17_BKIN	-	LLSI2_TXD
PB5	SPI1_MOSI,I2S1_SD	TIM3_CH2	TIM16_BKIN	I2C1_SMBA		-		LLSI3_TXD
PB6	USART1_TX	I2C1_SCL	TIM16_CH1N	TSC_G5_IO3	-	-		LLSI4_TXD
PB7	USART1_RX	I2C1_SDA	TIM17_CH1N	TSC_G5_IO4	USART4_CTS	-	-	LLSI5_TXD
PB8	CEC	I2C1_SCL	TIM16_CH1	TSC_SYNC	CAN1_RX	-	-	LLSI6_TXD
PB9	IR_OUT	I2C1_SDA	TIM17_CH1	EVENTOUT	CAN1_TX	SPI2_NSS	-	LLSI7_TXD
PB10	CEC	I2C2_SCL	TIM2_CH3	TSC_SYNC	USART3_TX	SPI2_SCK	-	-
PB11	EVENTOUT	I2C2_SDA	TIM2_CH4	TSC_G6_IO1	USART3_RX	-	-	-
PB12	SPI2_NSS,I2S2_WS	EVENTOUT	TIM1_BKIN	TSC_G6_IO2	USART3_CK	TIM15_BKIN		-
PB13	SPI2_SCK,I2S2_CK	-	TIM1_CH1N	TSC_G6_IO3	USART3_CTS	I2C2_SCL		-
PB14	SPI2_MISO,I2S2_MCK	TIM15_CH1	TIM1_CH2N	GSC_G6_IO4	USART3_RTS	I2C2_SDA	-	-
PB15	SPI2_MOSI,I2S2_SD	TIM15_CH2	TIM1_CH3N	TIM15_CH1N	-	-	-	-

PC 端口辅助功能选择

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC0	EVENTOUT						-	-
PC1	EVENTOUT						-	-
PC2	EVENTOUT	SPI2_MISO,I2S2_MCK					-	-
PC3	EVENTOUT	SPI2_MOSI,I2S2_SD					-	-
PC4	EVENTOUT	USART3_TX					-	-
PC5	TSC_G3_IO1	USART3_RX					-	-
PC6	TIM3_CH1						-	-
PC7	TIM3_CH2						-	-
PC8	TIM3_CH3						-	-
PC9	TIM3_CH4						-	-
PC10	USART4_TX	USART3_TX					-	-
PC11	USART4_RX	USART3_RX					-	-
PC12	USART4_CK	USART3_CK					-	-
PC13	-						-	-
PC14	-						-	-
PC15	-						-	-

PD 端口辅助功能选择

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD2	TIM3_ETR	USART3_RTS					-	-

PF 端口辅助功能选择

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	CRS_SYNC	I2C1_SDA	-	-	-	-	-	-
PF1	-	I2C1_SCL	-	-	-	-	-	-
PF2	EVENTOUT							
PF4	EVENTOUT							
PF5	EVENTOUT							
PF6		I2C2_SCL						
PF7		I2C2_SDA						
PF9	TIM15_CH1							
PF10	TIM15_CH2							
PF11								

5 存储器映射

FCM32F072x8/xB 不同的是程序存储空间的结束地址不同。

FCM32F072 外设寄存器边界地址

Bus	Boundary address	Size	Peripheral
-	0x4800 2000 – 0x4FFF FFFF	~127 MB	-
AHB2	0x4800 1C00 – 0x4800 1FFF	1KB	
	0x4800 1800 – 0x4800 1BFF	1KB	
	0x4800 1400 – 0x4800 17FF	1KB	GPIOF
	0x4800 1000 – 0x4800 13FF	1KB	-
	0x4800 0C00 – 0x4800 0FFF	1KB	GPIOD
	0x4800 0800 – 0x4800 0BFF	1KB	GPIOC
	0x4800 0400 – 0x4800 07FF	1KB	GPIOB
	0x4800 0000 – 0x4800 03FF	1KB	GPIOA
	0x4002 4400 – 0x47FF FFFF	~128MB	-
AHB1	0x4002 4000 – 0x4002 43FF	1KB	TSC
	0x4002 3400 – 0x4002 3FFF	3KB	-
	0x4002 3000 – 0x4002 33FF	1KB	CRC/HAU
	0x4002 2400 – 0x4002 2FFF	3KB	-
	0x4002 2000 – 0x4002 23FF	1KB	Flash memory interface
	0x4002 1400 – 0x4002 1FFF	3KB	-
	0x4002 1000 – 0x4002 13FF	1KB	RCC
	0x4002 0800 – 0x4002 0FFF	2KB	-
	0x4002 0400 – 0x4002 07FF	1KB	
	0x4002 0000 – 0x4002 03FF	1KB	DMA
	0x4001 8000 – 0x4001 FFFF	32KB	-
APB2	0x4001 7C00 – 0x4001 7FFF	1KB	
	0x4001 7800 – 0x4001 7BFF	1KB	
	0x4001 7400 – 0x4001 77FF	1KB	LLSI
	0x4001 7000 – 0x4001 73FF	1KB	-
	0x4001 6C00 – 0x4001 6FFF	1KB	-
	0x4001 6800 – 0x4001 6BFF	1KB	
	0x4001 6400 – 0x6001 67FF	1KB	-
	0x4001 6000 – 0x4001 63FF	1KB	
	0x4001 5C00 – 0x4001 5FFF	1KB	-
	0x4001 5800 – 0x4001 5BFF	1KB	DBGMCU
	0x4001 4C00 – 0x4001 57FF	3KB	-
	0x4001 4800 – 0x4001 4BFF	1KB	TIM17
	0x4001 4400 – 0x4001 47FF	1KB	TIM16
	0x4001 4000 – 0x4001 43FF	1KB	TIM15
	0x4001 3C00 – 0x4001 3FFF	1KB	-
	0x4001 3800 – 0x4001 3BFF	1KB	USART1
	0x4001 3400 – 0x4001 37FF	1KB	-
	0x4001 3000 – 0x4001 33FF	1KB	SPI1/I2S1
	0x4001 2C00 – 0x4001 2FFF	1KB	TIM1
	0x4001 2800 – 0x4001 2BFF	1KB	-
0x4001 2400 – 0x4001 27FF	1KB	ADC	

	0x4001 2000 – 0x4001 23FF	1KB	-
	0x4001 1C00 – 0x4001 1FFF	1KB	
	0x4001 1800 – 0x4001 1BFF	1KB	
	0x4001 1400 – 0x4001 17FF	1KB	
	0x4001 0800 – 0x4001 13FF	3KB	-
	0x4001 0400 – 0x4001 07FF	1KB	EXTI
	0x4001 0000 – 0x4001 03FF	1KB	SYSCFG/COMP/AMP
APB1	0x4000 C000 – 0x4000 FFFF	21KB	-
	0x4000 A800 – 0x4000 ABFF	1KB	-
	0x4000 A400 – 0x4000 A7FF	1KB	-
	0x4000 7C00 – 0x4000 A3FF	10KB	-
	0x4000 7800 – 0x4000 7BFF	1KB	CEC
	0x4000 7400 – 0x4000 77FF	1KB	DAC
	0x4000 7000 – 0x4000 73FF	1KB	PWR
	0x4000 6C00 – 0x4000 6FFF	1KB	CRS
	0x4000 6800 – 0x4000 6BFF	1KB	
	0x4000 6400 – 0x4000 67FF	1KB	bxCAN1/ <i>USB RAM 2nd 1KB</i>
	0x4000 6000 – 0x4000 63FF	1KB	USB RAM 1 st 1KB
	0x4000 5C00 – 0x4000 5FFF	1KB	USB
	0x4000 5800 – 0x4000 5BFF	1KB	I2C2
	0x4000 5400 – 0x4000 57FF	1KB	I2C1
	0x4000 5000 – 0x4000 53FF	1KB	
	0x4000 4C00 – 0x4000 4FFF	1KB	USART4
	0x4000 4800 – 0x4000 53FF	1KB	USART3
	0x4000 4400 – 0x4000 47FF	1KB	USART2
	0x4000 4000 – 0x4000 43FF	1KB	-
	0x4000 3C00 – 0x4000 3FFF	1KB	-
	0x4000 3800 – 0x4000 3BFF	1KB	SPI2/I2S2
	0x4000 3400 – 0x4000 37FF	1KB	<i>I2S2EXT</i>
	0x4000 3000 – 0x4000 33FF	1KB	IWDG
	0x4000 2C00 – 0x4000 2FFF	1KB	WWDG
	0x4000 2800 – 0x4000 2BFF	1KB	RTC
	0x4000 2400 – 0x4000 27FF	1KB	-
	0x4000 2000 – 0x4000 23FF	1KB	TIM14
	0x4000 1800 – 0x4000 1FFF	2KB	-
	0x4000 1400 – 0x4000 17FF	1KB	TIM7
	0x4000 1000 – 0x4000 13FF	1KB	TIM6
0x4000 0800 – 0x4000 0FFF	2KB	-	
0x4000 0400 – 0x4000 07FF	1KB	TIM3	
0x4000 0000 – 0x4000 03FF	1KB	TIM2	

6 电气特性

6.1 参数条件

除非额外指定，所有电压以 VSS 为参考。

6.1.1 最小/最大值

除非额外指定，最小/最大值保证在环境温度下的最差条件。电源供电和频率在环境温度为 25°C 时测试。

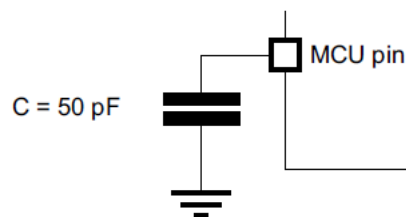
6.1.2 典型值

除非额外指定，典型值基于 25°C 和 $VDD=VDDA=3.3V$ 。这些值为设计值，非测试结果。

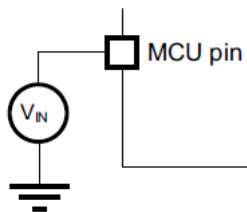
6.1.3 典型曲线

除非额外指定，所有典型曲线为设计参考值，非测试结果。

6.1.4 负载电容



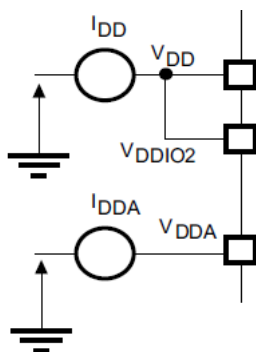
6.1.5 引脚输入电压



6.1.6 电源供电

每一对电源（VDD/VSS、VDDA/VSSA 等）应该接有滤波电容，电容在 PCB 上应尽可能靠近引脚。

6.1.7 电流消耗测量



6.2 绝对最大值

超出绝对最大值范围可能引起器件损坏。

电压特性

Symbol	Ratings	Min	Max	Unit
$V_{DD}-V_{SS}$	External main supply voltage	-0.3	5.8	V
$V_{DDIO2}-V_{SS}$	External I/O supply voltage	-0.3	5.8	V
$V_{DDA}-V_{SS}$	External analog supply voltage	-0.3	5.8	V
$V_{DD}-V_{DDA}$	Allowed voltage difference for $V_{DD}>V_{DDA}$	-	0.3	V
$V_{BAT}-V_{SS}$	External backup supply voltage	-0.3	5.8	V
V_{IN}	Input voltage on FT and FTf pins	$V_{SS}-0.3$	$V_{DDIOx}+0.3$	V
	Input voltage on TTa pins	$V_{SS}-0.3$	5.8	V
	Input voltage on any other pins	$V_{SS}-0.3$	5.8	V
$ \Delta V_{DDx} $	Variations between different V_{DD} power pins	-	50	mV
$ V_{SSx}-V_{SS} $	Variations between all the different ground	-	50	mV

	pins			
V _{ESD} (HBM)	Electrostatic discharge voltage		3000	V

6.3 工作条件

6.3.1 普通工作条件

普通工作条件

Symbol	Parameter	Conditions	Min	Max	Unit
f _{HCLK}	Internal AHB clock frequency	-	0	100	MHz
f _{PCLK}	Internal APB clock frequency	-	0	100	MHz
V _{DD}	Standard operating voltage	-	1.8	5.5	V
V _{DDIO2}	I/O supply voltage		1.65	5.5	V
V _{DDA}	Analog operating voltage		V _{DD}	5.5	V
V _{BAT}	Backup operating voltage		2.1	5.5	V
V _{IN}	I/O input voltage	TC and RST I/O	-0.3	V _{DDIOx} +0.3	V
		TTa I/O	-0.3	V _{DDA} +0.3	
		FT and FTf I/O	-0.3	5.5	
P _D	Power dissipation at TA=85C	LQFP48	-	350	mW
		UFQFPN48	-	600	
		LQFP32		350	
		UFQFPN32		500	
		UFQFPN28		170	
		TSSOP20		250	
TA	Ambient temperature for the suffix 6 version	Maximum power dissipation	-40	85	C
		Low power dissipation	-40	105	
	Ambient temperature for the suffix 7 version	Maximum power dissipation	-40	105	C
		Low power dissipation	-40	125	
T _J	Junction temperature range	Suffix 6 version	-40	105	C
		Suffix 7 version	-40	125	

6.3.2 上电/下电工作条件

Symbol	Parameter	Conditions	Min	Max	Unit
t _{VDD}	VDD rise time rate	-	0	∞	us/V
	VDD fall time rate		20	∞	
t _{VDDA}	VDDA rise time rate	-	0	∞	
	VDDA fall time rate		20	∞	

6.3.3 内置复位/电源控制

内置复位和电源控制模块特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
--------	-----------	------------	-----	-----	-----	------

V _{POR/PDR}	Power on/down reset threshold	Falling edge	1.51	1.58	1.65	V
		Rising edge	1.54	1.62	1.70	
V _{PDRhyst}	PDR hysteresis	-	-	40	-	mV
t _{RSTTEMPO}	Reset temporization	-	1.5	2.5	4.5	ms

可编程电压检测 (PVD) 特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{PVD0}	PVD threshold 0	Falling edge	1.59	1.67	1.75	V
		Rising edge	1.75	1.83	1.91	
V _{PVD1}	PVD threshold 1	Falling edge	1.75	1.83	1.91	
		Rising edge	1.90	1.98	2.06	
V _{PVD2}	PVD threshold 2	Falling edge	1.90	1.98	2.06	
		Rising edge	2.06	2.14	2.22	
V _{PVD3}	PVD threshold 3	Falling edge	2.06	2.14	2.22	
		Rising edge	2.21	2.29	2.37	
V _{PVD4}	PVD threshold 4	Falling edge	2.21	2.29	2.37	
		Rising edge	2.35	2.43	2.51	
V _{PVD5}	PVD threshold 5	Falling edge	2.35	2.43	2.51	
		Rising edge	2.49	2.57	2.65	
V _{PVD6}	PVD threshold 6	Falling edge	2.49	2.57	2.65	
		Rising edge	2.64	2.72	2.80	
V _{PVD7}	PVD threshold 7	Falling edge	2.64	2.72	2.80	
		Rising edge	2.80	2.88	2.96	
V _{PVDhyst}	PVD hysteresis	-	-	160	-	mV
I _{DD(PVD)}	PVD current consumption	-	-	0.15	-	uA

6.3.4 内置参考电压

内置参考电压特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{REFINT}	Internal reference voltage	-40C<TA<+105	1.22	1.23	1.24	V
t _{START}	ADC_IN17 buffer startup time	-	-	-	10	us
t _{s_vrefint}	ADC sampling time when reading the internal reference voltage	-	8	-	-	us
ΔV _{REFINNT}	Internal reference voltage spread over the temperature range	V _{DDA} =3V	-	-	10	mV
T _{Coeff}	Temperature coefficient	-	-	-	100	ppm/C

6.3.5 供电电流

典型供电电流消耗 (VDD+VDDA @ 3.6V)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
I _{DD+I_{DDA}}	Run from Flash memory	All peripherals enabled (exclude USB), HSI 8MHz		4.5		mA
		All peripherals enabled, HSI48		19.1		

		All peripherals enabled, HSI + PLL 72MHz		26.2		
	Stop mode	Regulator in normal mode, all oscillators OFF		18.3		uA
	Stop mode	Regulator in low-power mode, all oscillators OFF		18.3		uA
	Standby mode	Regulator in low-power mode, all oscillators OFF		7.6		uA

6.3.6 低功耗模式唤醒时间

Low-power mode wakeup timings

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_{WUSTOP}	Wakeup from stop mode	Regulator in run mode	-	11		us
t_{START}		Regulator in low power mode		11		
$t_{WUSTANDBY}$	Wakeup from standby mode	-	-	50	-	
$t_{WUSLEEP}$	Wakeup from sleep mode	-	4 SYSCLK cycles			

6.3.7 外部时钟源

High-speed external user clock characteristics

Symbol	Parameter	Min	Typ	Max	Unit
f_{HSE_EXT}	User external clock source frequency	-	8	32	MHz
V_{HSEH}	OSC_IN input pin high level voltage	$0.7 \cdot V_{DDIOx}$	-	V_{DDIOx}	V
V_{HSEL}	OSC_IN input pin low level voltage	VSS	-	$0.3 \cdot V_{DDIOx}$	
$t_{W(HSEH)}$ $t_{W(HSEL)}$	OSC_IN high or low time	15	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN rise or fall time	-	-	20	

Low-speed external user clock characteristics

Symbol	Parameter	Min	Typ	Max	Unit
f_{LSE_EXT}	User external clock source frequency	-	32.768	1000	KHz
V_{LSEH}	OSC32_IN input pin high level voltage	$0.7 \cdot V_{DDIOx}$	-	V_{DDIOx}	V
V_{LSEL}	OSC32_IN input pin low level voltage	VSS	-	$0.3 \cdot V_{DDIOx}$	
$t_{W(LSEH)}$ $t_{W(LSEL)}$	OSC32_IN high or low time	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN rise or fall time	-	-	50	

HSE oscillator characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{OSC_IN}	Oscillator frequency	-	4	8	20	MHz
RF	Feedback resistor	-	-	200	-	K Ω
I_{DD}	HSE current consumption	VDD=3.3V, Rm=45 Ω ,		0.57		mA

		CL=10pF@8MHz				
g_m	Oscillator transconductance	Startup	10	-	-	mA/V
$t_{SU(HSE)}$	Startup time	VDD is stabilized	-	2	-	ms

LSE oscillator characteristics ($f_{LSE}=32.768\text{KHz}$)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
I_{DD}	LSE current consumption	low drive capability		360		nA
		medium-low drive capability		450		
		medium-high drive capability		540		
		high drive capability		700		
g_m	Oscillator transconductance	low drive capability	5	-	-	uA/V
		medium-low drive capability	8			
		medium-high drive capability	15			
		high drive capability	25			
$t_{SU(LSE)}$	Startup time	V _{DDIOx} is stabilized	-	2	-	s

6.3.8 内部时钟源特性

HSI48 oscillator characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{HSI48}	Frequency	-		48		MHz
TRIM	HSI48 user-trimming step	-		0.15		%
DuCy	Duty cycle	-	45	-	55	%
ACC _{HSI48}	Accuracy of the HSI48 oscillator(factory calibrated)	TA=-40 to 105 @SS	-1.84		2.00	%
		TA=-40 to 105@TT	-1.58		1.76	
		TA=-40 to 105@FF	-1.24		1.72	
$t_{SU(HSI48)}$	HSI48 oscillator startup time	-			6	us
$I_{DDA(HSI48)}$	HSI48 oscillator power consumption	-		643	801	uA

LSI oscillator characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{LSI}	Frequency	-	31.9	40	55.5	KHz
$t_{SU(LSI)}$	LSI oscillator startup time	-			100	us
$I_{DDA(LSI)}$	LSI oscillator power consumption	-		400		nA

6.3.9 PLL 特性

PLL characteristics

Symbol	Parameter	Min	Typ	Max	Unit
f_{PLL_IN}	PLL input clock	1	8	24	MHz
t_{PLL_OUT}	PLL multiplier output clock	16		72	MHz
t_{LOCK}	PLL lock time	30		100	us
$I_{DDA(PLL)}$	PLL power consumption			350	uA
Jitter _{PLL}	Cycle-to-cycle jitter			300	ps

6.3.10 存储特性

Flash memory characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_{PROG}	16-bit programming time	TA=-40 to +125		20		us
t_{ERASE}	Page(2KB) erase time			18		ms
t_{ME}	Mass erase time			30		ms
I_{DD}	Supply current	Write mode			3.5	mA
		Erase mode			2	mA
N_{END}	Endurance	TA=-40 to +125	20			kcycle
t_{RET}	Data retention	TA=25C	100			Year

6.3.11 EMC 特性

EMC characteristics

Symbol	Parameter	Conditions	Level/Class
V_{FESD}	Voltage limits to be applied on any I/O pin to induce a functional disturbance	VDD=3.3V, LQFP48, TA=25C, f_{HCLK} =48 MHz, conforming to IEC 61000-4-2	2B
V_{EFTB}	Fast transient voltage burst limits to be applied through 100pF on V _{DD} and V _{SS} pins to induce a functional disturbance	VDD=3.3V, LQFP48, TA=25C, f_{HCLK} =48 MHz, conforming to IEC 61000-4-4	4B

EMI characteristics

Symbol	Parameter	Conditions	Monitored frequency band	Max vs. [f_{HSE}/f_{HCLK}]	Unit
				8/48 MHz	
SEMI	Peak level	VDD=3.6V, TA=25C, LQFP48 package compliant with IEC 61967-2	0.1 to 30MHz		dBuV
			30 to 130MHz		
			130 MHz to 1GHz		
			EMI level		-

6.3.12 电气敏感特性

ESD absolute maximum ratings

Symbol	Parameter	Conditions	Packages	Class	Maxim value	Unit
$V_{ESD(HBM)}$	Electrostatic discharge voltage (human body model)	TA=+25C, conforming to JESD22-A114	All	2	3500	V
$V_{ESD(CDM)}$	Electrostatic discharge voltage (charge device model)	TA=+25C, conforming to AEC-Q100-011	All	C6	750	V

6.3.13 I/O 电流注入特性

I/O current injection susceptibility

Symbol	Parameter	Functional susceptibility		Unit
		Negative injection	Positive injection	
I _{INJ}	Injected current	-5	+5	mA

6.3.14 I/O 端口特性

I/O static characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IL}	Low level input voltage	TC and TTa I/O			0.3*V _{DDIOx}	V
		FT and FTf I/O			0.475*V _{DDIOx} -0.2	
		All I/Os			0.3*V _{DDIOx}	
V _{IH}	High level input voltage	TC and TTa I/O	0.445*V _{DDIOx} +0.4			V
		FT and FTf I/O	0.5*V _{DDIOx} +0.2			
		All I/Os	0.7*V _{DDIOx}			
V _{hys}	Schmitt trigger hysteresis	TC and TTa I/O		200		mV
		FT and FTf I/O		100		
I _{lkg}	Input leakage current	TC,FT and FTf I/O TTa in digital mode V _{SS} ≤V _{IN} ≤V _{DDIOx}			±0.1	μA
		TTa in digital mode V _{DDIOx} ≤V _{IN} ≤V _{DDA}			1	
		TTa in analog mode V _{SS} ≤V _{IN} ≤V _{DDA}			±0.2	
		FT and FTf I/O V _{DDIOx} ≤V _{IN} ≤5V			10	
R _{PU}	Weak pull-up resistor	V _{IN} =V _{SS}		40		K Ω
R _{PD}	Weak pull-down resistor	V _{IN} =-V _{DDIOx}		40		K Ω
C _{IO}	I/O pin capacitance			5		pF

Output voltage characteristics

Symbol	Parameter	Conditions	Min	Max	Unit
V _{OL}	Output low level voltage for an I/O pin	CMOS port I _{IO} = 8mA V _{DDIOx} ≥ 2.7V	-	0.4	V
V _{OH}	Output high level voltage for an I/O pin		V _{DDIOx} -0.4	-	
V _{OL}	Output low level voltage for an I/O pin	TTL port I _{IO} = 8mA V _{DDIOx} ≥ 2.7V	-	0.4	V
V _{OH}	Output high level voltage for an I/O pin		2.4	-	
V _{OL}	Output low level voltage for an I/O pin	I _{IO} = 20mA V _{DDIOx} ≥ 2.7V	-	1.3	V
V _{OH}	Output high level voltage for an I/O pin		V _{DDIOx} -1.3	-	
V _{OL}	Output low level voltage for an I/O pin	I _{IO} = 6mA V _{DDIOx} ≥ 2.7V	-	0.4	V
V _{OH}	Output high level voltage for an I/O pin		V _{DDIOx} -0.4	-	

V_{OL}	Output low level voltage for an I/O pin	$ I_{IO} = 4\text{mA}$	-	0.4	V
V_{OH}	Output high level voltage for an I/O pin	$V_{DDIOx} \geq 2.7\text{V}$	$V_{DDIOx} - 0.4$	-	
V_{OLFm+}	Output low level voltage for an FTf I/O pin in FM+ mode	$ I_{IO} = 20\text{mA}$	-	0.4	V
		$V_{DDIOx} \geq 2.7\text{V}$	-	0.4	
		$ I_{IO} = 10\text{mA}$	-	0.4	

I/O AC characteristics

OSPEEDRy [1:0]	Symbol	Parameter	Conditions	Min	Max	Unit
x0	$f_{\max(I/O)\text{out}}$	Maximum frequency	$C_L=50\text{pF}, V_{DDIOx} \geq 2\text{V}$	-	2	MHz
	$t_{f(I/O)\text{out}}$	Output fall time		-	38	ns
	$t_{r(I/O)\text{out}}$	Output rise time		-	39	
01	$f_{\max(I/O)\text{out}}$	Maximum frequency	$C_L=50\text{pF}, V_{DDIOx} \geq 2\text{V}$	-	10	MHz
	$t_{f(I/O)\text{out}}$	Output fall time		-	25	ns
	$t_{r(I/O)\text{out}}$	Output rise time		-	25	
11	$f_{\max(I/O)\text{out}}$	Maximum frequency	$C_L=30\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	50	MHz
			$C_L=50\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	30	
			$C_L=50\text{pF}, 2\text{V} \leq V_{DDIOx} < 2.7\text{V}$	-	20	
	$t_{f(I/O)\text{out}}$	Output fall time	$C_L=30\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	6.5	ns
			$C_L=50\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	9	
			$C_L=50\text{pF}, 2\text{V} \leq V_{DDIOx} < 2.7\text{V}$	-	15.5	
	$t_{r(I/O)\text{out}}$	Output rise time	$C_L=30\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	6.6	ns
			$C_L=50\text{pF}, V_{DDIOx} \geq 2.7\text{V}$	-	8.6	
			$C_L=50\text{pF}, 2\text{V} \leq V_{DDIOx} < 2.7\text{V}$	-	39	
Fm+ configuration n	$f_{\max(I/O)\text{out}}$	Maximum frequency	$C_L=50\text{pF}, V_{DDIOx} \geq 2\text{V}$	-	2	MHz
	$t_{f(I/O)\text{out}}$	Output fall time		-	15.5	ns
	$t_{r(I/O)\text{out}}$	Output rise time		-	39	
-	$t_{EXTI\text{pw}}$	Pulse width of external signals detected by the EXTI controller	-	10	-	ns

6.3.15 NRST 引脚特性

NRST pin characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{IL(NRST)}$	NRST input low level voltage	-	-	-	$0.3 \cdot V_{DD}$	V
$V_{IH(NRST)}$	NRST input high level voltage	-	$0.445 \cdot V_{DD} + 0.4$	-	-	
$V_{hys(NRST)}$	NRST Schmitt trigger voltage hysteresis	-	-	200	-	mV
R_{PU}	Weak pull-up resistor	$V_{IN} = V_{SS}$	-	40	-	K Ω
$V_{F(NRST)}$	NRST input filtered pulse	-	-	-	100	ns
$V_{NF(NRST)}$	NRST input not filtered pulse	$2.7 < V_{DD} < 3.6$	300	-	-	ns
		$2.0 < V_{DD} < 3.6$	500	-	-	

6.3.16 ADC 特性

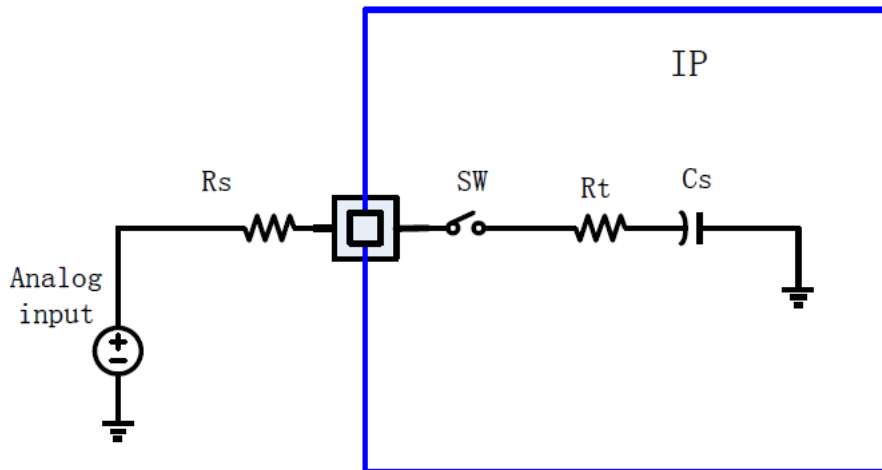
ADC characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{DDA}	Analog supply voltage	-	1.8	3.3	5.5	V
I _{DD(ADC)}	Current consumption of the ADC	V _{DDA} =3.3V	-	1.1	-	mA
f _{ADC}	ADC clock frequency	-	-	-	16	MHz
f _S	Sampling rate	12-bit resolution	0.03	-	1	MHz
f _{TRIG}	External trigger frequency	12-bit resolution	-	-	18	1/f _{ADC}
V _{AIN}	Conversion voltage range		0		V _{DDA}	V
R _t	Input resistor during sampling	V _{DDA} =3V		0.5		kΩ
C _s	Internal sample and hold capacitor			26	30	pF
t _S	Sampling time	f _{ADC} =16MHz	4	-	-	1/f _{ADC}
t _{STAB}	Stabilization time		32	-	-	1/f _{ADC}
t _{CONV}	Total conversion time	12-bit resolution		12		1/f _{ADC}

ADC accuracy

Symbol	Parameter	Conditions	Typ	Max	Unit
ET	Total unadjusted error	f _{PCLK} =48MHz, f _{ADC} =16MHz, RAIN<10kΩ V _{DDA} =3V to 3.6V TA=25C	±1.5	-	LSB
EO	Offset error		±1.5	±3.0	
EG	Gain error		±2	±5	
ED	Differential linearity error		±0.6	±1.5	
EL	Integral linearity error		±1.5	±3.0	

Analog Input Equivalent Circuit



$$R_s = \frac{T_{\text{samp}}}{10 * C_s} - R_t$$

R_{AIN} max for f_{ADC} = 16 MHz

T _s (cycles)	t _s (us)	R _{AIN} max (kΩ)
4	0.35	0.33
7.5	0.47	1.1
13.5	0.84	2.3
28.5	1.78	5.4
41.5	2.59	8.1

55.5	3.47	11.1
71.5	4.47	14.4
239.5	14.97	49.4

6.3.17 DAC 特性

DAC characteristics

Symbol	Parameter	Min	Typ	Max	Unit	Comments	
V_{DDA}	Analog supply voltage for DAC ON	1.8	-	5.5	V		
R_{LOAD}	Resistive load with buffer ON	5	-	-	k Ω		
R_O	Impedance output with buffer OFF	-	-	12	k Ω		
C_{LOAD}	Capacitive load	-	-	50	pF		
DAC_OUT min	Lower DAC_OUT voltage with buffer ON	0.2	-	-	V		
DAC_OUT max	Higher DAC_OUT voltage with buffer ON	-	-	$V_{DDA}-0.2$	V		
DAC_OUT min	Lower DAC_OUT voltage with buffer OFF	-	0.5	-	mV		
DAC_OUT max	Higher DAC_OUT voltage with buffer OFF	-	-	$V_{DDA}-1LSB$	V		
I_{DDA}	DAC DC current consumption in quiescent mode	-	-	362	μ A	With no load, middle code (0x800) on the input	
		-	-	506		With no load, middle code (0xF1C) on the input	
DNL	Differential non linearity (Difference between two consecutive code-1LSB)	-	-	+/-0.5	LSB	Given for the DAC in 10-bit configuration	
		-	-	+/-2		Given for the DAC in 12-bit configuration	
INL	Integral non linearity (difference between measured value at Code I and the value at Code I on a line drawn between Code 0 and last Code 1023)	-	-	+/-1	LSB	Given for the DAC in 10-bit configuration	
		-	-	+/-4		Given for the DAC in 12-bit configuration	
Offset	Offset error (difference between measured value at Code 0x800 and the ideal value = $V_{DDA}/2$)	-	-	+/-10	mV		
		-	-	+/-3		LSB	Given for the DAC in 10-bit configuration
		-	-	+/-12			Given for the DAC in 12-bit configuration
Gain error	Gain error	-	-	+/-0.2	%	Given for the DAC in 12-bit configuration	
$t_{SETTLING}$	Settling time (full scale: for a 10-bit input code transition between the lowest and the highest input codes when DAC_OUT reaches final	-	3	4	μ s	$C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 50$ k Ω	

	value +/-1LSB					
Update rate	Max frequency for a correct DAC_OUT change when small variation in the input code (from code I to i+1LSB)	-	-	1	MS/s	$C_{LOAD} \leq 50 \text{ pF}$, $R_{LOAD} \geq 50 \text{ k}\Omega$
t_{WAKEUP}	Wakeup time from off state (Setting the ENx bit in the DAC Control register)	-	6.5	10	us	$C_{LOAD} \leq 50 \text{ pF}$, $R_{LOAD} \geq 50 \text{ k}\Omega$ input code between lowest and highest possible ones
PSRR+	Power supply rejection ratio (to V_{DDA}) (static DC measurement)	-			dB	No R_{LOAD} , $C_{LOAD} = 50\text{pF}$

6.3.18 COMP 特性

Comparator characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit	
V_{DDA}	Analog supply voltage		V_{DD}	-	5.5	V	
V_{IN}	Comparator input voltage range		0	-	V_{DDA}	V	
V_{SC}	V_{REFINT} scaler offset voltage		-	+/-5	+/-10	mV	
t_{s_sc}	V_{REFINT} scaler startup time from power down	First V_{REFINT} scaler activation after device power on	-	-	1000	ms	
		Next activations	-	-	0.2	ms	
t_{START}	Comparator startup time	Startup time to reach propagation delay specification	-	-	60	us	
t_D	Propagation delay for 200mV step with 100mV overdrive	Ultra-low power mode				us	
		Low power mode					
		Medium power mode					
		High speed mode	$V_{DDA} \geq 2.7V$			ns	
		$V_{DDA} < 2.7V$					
	Propagation delay for full range step with 100mV overdrive	Ultra-low power mode	-	0.300	-	us	
		Low power mode		0.160	-		
		Medium power mode		0.078	-		
High speed mode		$V_{DDA} \geq 2.7V$		18	ns		
V_{offset}	Comparator offset error		-	+/-5	-	mV	
dV_{offset}/dT	Offset error temperature coefficient		-	-	-	uV/C	
I_{DD}	Comparator current consumption	Ultra-low power mode	-	1.3	-	uA	
		Low power mode	-	3	-		
		Medium power mode	-	12	-		
		High speed mode	-	80	-		
V_{hyst}	Comparator hysteresis	No hysteresis	-	0	-	mV	
		Low hysteresis	High speed mode		8		
			All other		8		

			power modes				
		Medium hysteresis	High speed mode		16		
			All other power modes		16		
		High hysteresis	High speed mode		30		
			All other power modes		32		

6.3.19 温度传感器特性

TS characteristics

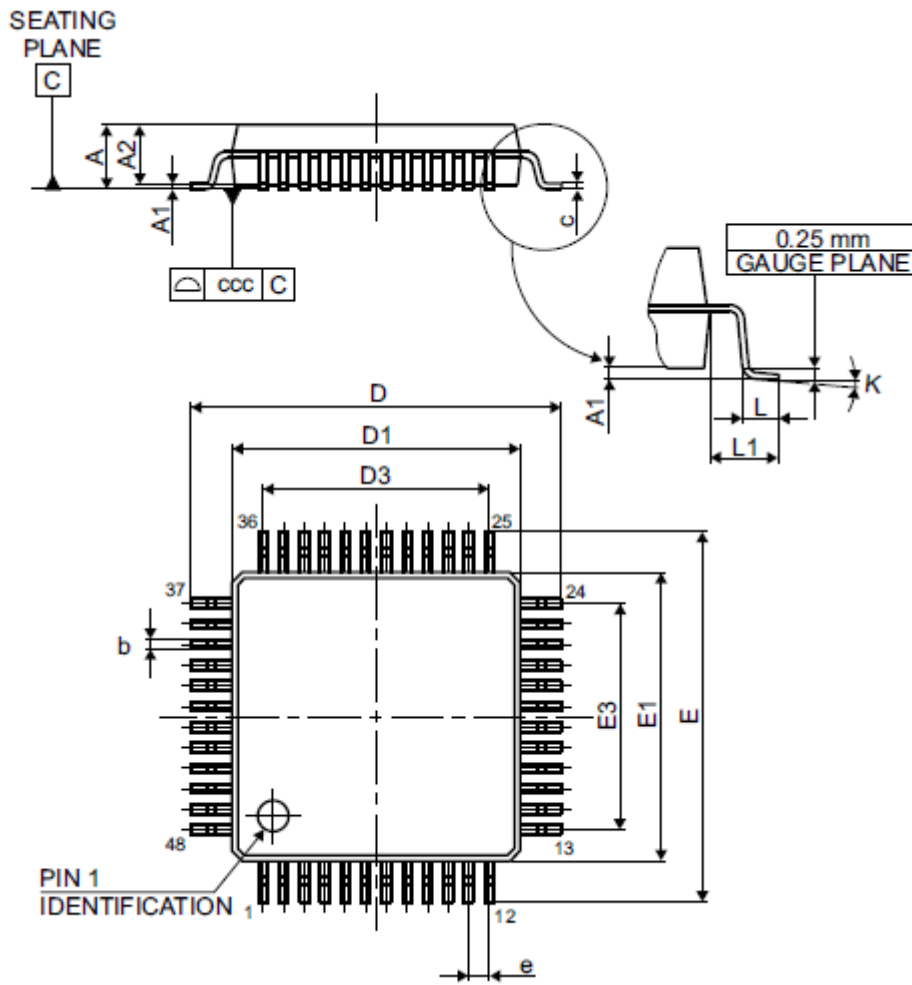
Symbol	Parameter	Min	Typ	Max	Unit
T _L	V _{SENSE} linearity with temperature	-	±1	±2	C
Avg_Slope	Average slope	4.2	4.28	4.36	mV/C
V30	Voltage at 30C	1.423	1.425	1.43	V
tSTART	ADC_IN16 buffer startup time	1	-	5	us
t _{s_temp}	ADC sampling time when reading the temperature	4	-	-	us

7 封装信息

7.1 LQFP48 封装信息

LQFP48 is a 48-pin, 7 x 7 mm low-profile quad flat package.

LQFP48 package outline



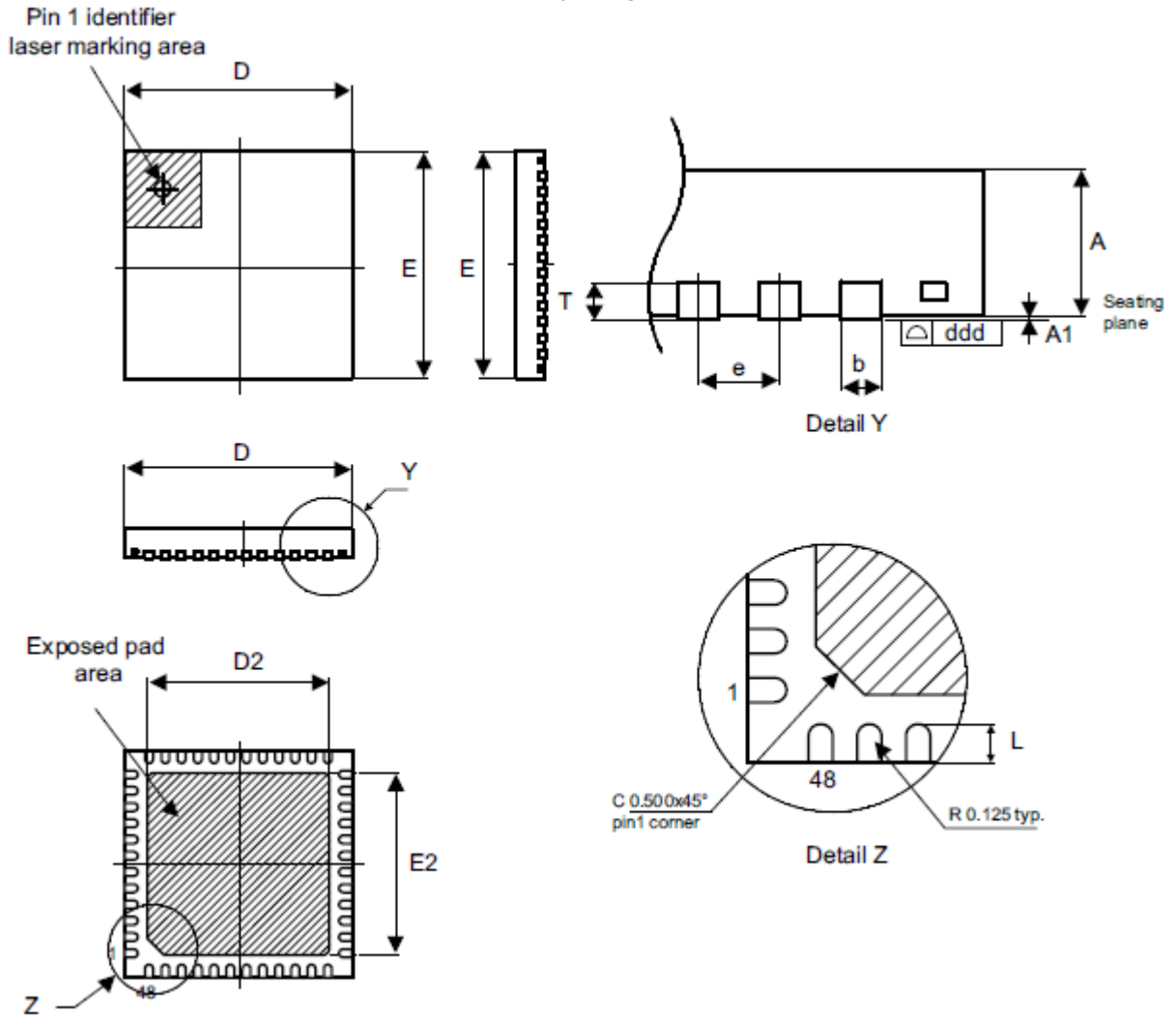
LQFP48 package mechanical data

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3	-	5.500	-	-	0.2165	-
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3	-	5.500	-	-	0.2165	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

7.2 UFQFPN48 封装信息

UFQFPN48 is a 48-lead, 7 x 7 mm, 0.5 mm pitch, fine-pitch quad flat package.

UFQFPN48 package outline



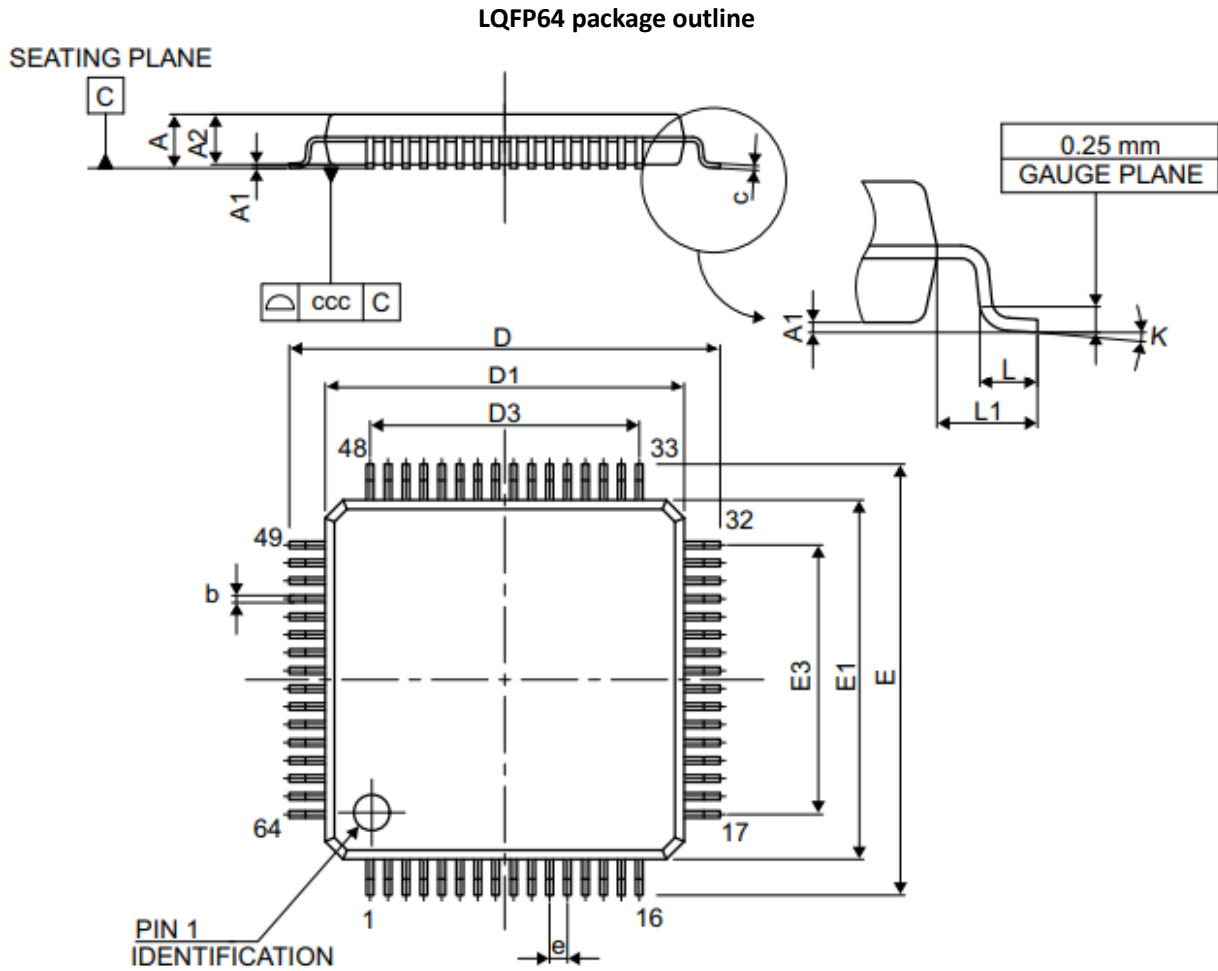
UFQFPN48 package mechanical data

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A		0.750			0.0296	
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
D	6.900	7.000	7.100	0.2717	0.2756	0.2795
E	6.900	7.000	7.100	0.2717	0.2756	0.2795
D2	5.500	5.600	5.700	0.2165	0.2205	0.2244
E2	5.500	5.600	5.700	0.2165	0.2205	0.2244
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
T	-	0.152	-	-	0.0060	-
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
e	-	0.500	-	-	0.0197	-
ddd	-	-	0.080	-	-	0.0031

1. Values in inches are converted from mm and rounded to 4 decimal digits.

7.3 LQFP64 封装信息

LQFP64 is a 64-pin, 10 x 10 mm low-profile quad flat package.

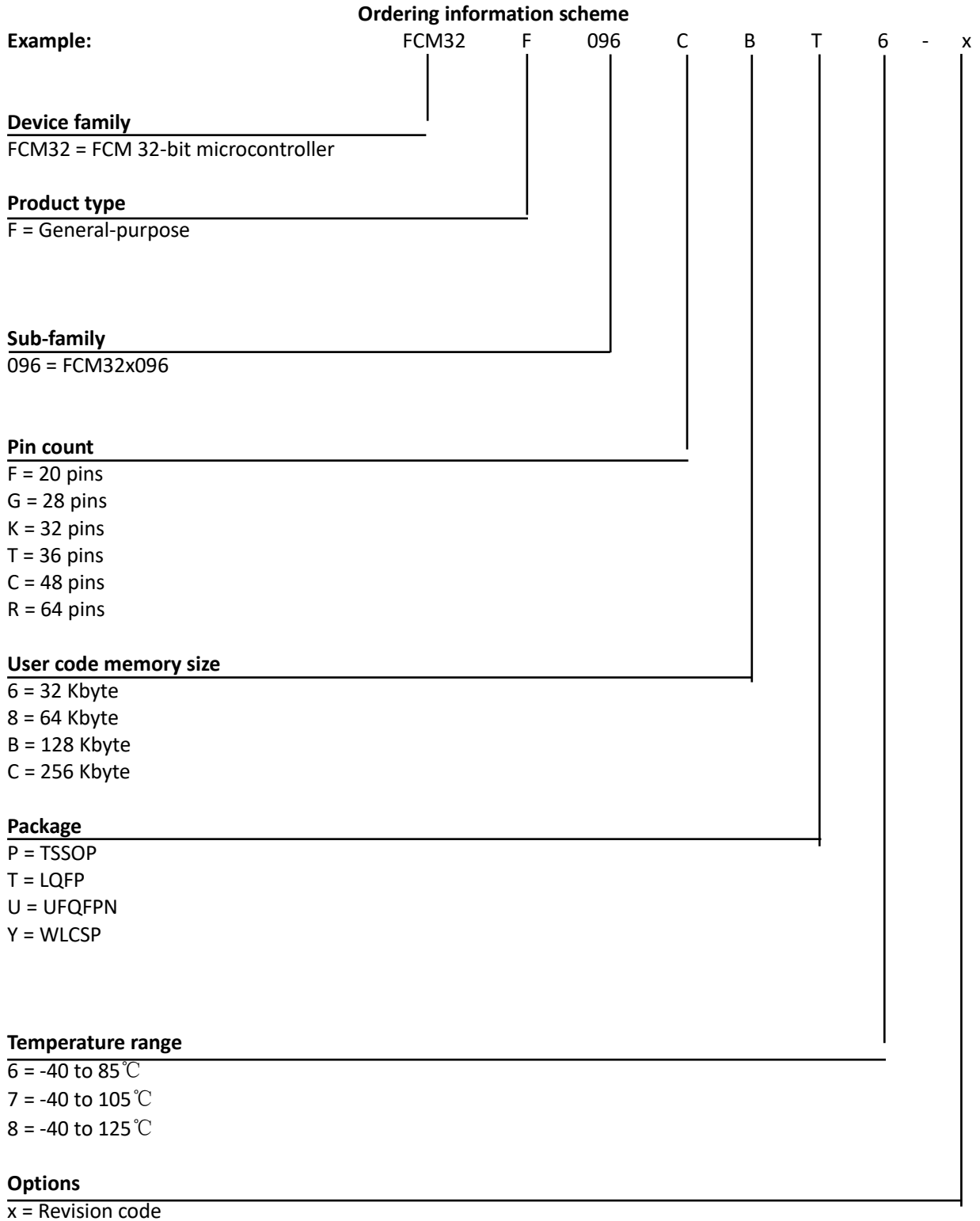


LQFP64 package mechanical data

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031

8 器件编码

For a list of available options (memory, package, and so on) or for further information on any aspect of this device, please contact your nearest FCM sales office.



9 版本历史

Date	Revision	Author	Changes
2023/5/16	0.10	Dick Hou	初版
2023/6/29	0.11		增加 FCM32F072FBT6 型号
2023/8/2	0.12		删除 FCM32F072FBT6 型号

10 其它